

Принципы локализации дефектов короткого замыкания выводов микросхем, параллельно подключенных к цифровой шине передачи данных

Гречишников В.М.* , Курицкий А.А. , Бутько А.Д.*****

Самарский национальный исследовательский университет им. академика

С.П. Королева, Московское шоссе, 34, Самара, 443086, Россия

**e-mail: gv@ssau.ru*

***e-mail: samales@mail.ru*

****e-mail: butkortf@ssau.ru*

Статья поступила 02.04.2021

Аннотация

В работе рассмотрена методика локализации дефектов короткого замыкания под микросхемами с JTAG интерфейсом, параллельно подключенными к шине передачи цифровых данных по схеме двукратного «горячего» резервирования. Принцип локализации основан на конфигурировании схемы подключения контактов микросхем к линиям связи путем программного управления состояниями JTAG ячеек и последующем контроле значений токов в линии связи. Разработаны электрические схемы замещения, соответствующих всем возможным вариантам коротких замыканий.

Достоверность разработанной методики подтверждена экспериментальными исследованиями на макете, в котором все возможные дефекты под тремя микросхемами имитировались с помощью искусственно привнесенных дефектов между ячейками только одной микросхемы с встроенным JTAG интерфейсом.

Контроль тока шине осуществлялся специально разработанным бесконтактным электромагнитным датчиком.

Ключевые слова: JTAG интерфейс, BGA микросхема, дефект «короткое замыкание», диагностика, локализация, бесконтактный датчик тока, граничное сканирование, контурный ток.

Введение

Для повышения надежности функционирования цифровых электронных модулей систем управления в авиации часто используются различные схемы резервирования, основанные на параллельном подключении к шине передаче данных однотипных функциональных элементов. Функционал таких каналов реализован на сверхбольших интегральных микросхемах (СБИС), выполненных чаще всего в корпусах BGA (Ball Grid Array) и снабженных JTAG интерфейсом в соответствии со стандартом IEEE 1149.1 [1]. JTAG интерфейс является основой для разработки аппаратно- программных средств граничного сканирования, широко используемых не только для программирования, но и для оперативного бесконтактного поиска, локализации, идентификации и визуализации дефектов на собранных печатных платах[2,3].

Для реализации метода граничного сканирования могут быть использованы аппаратно- программные средства таких ведущих зарубежных фирм, как «CORELIS Inc.», «ASSET Inter Tech Inc.» (США), «GOEPEL Electronic» (Германия), «ON TAP», «START-STAR» (Израиль), «JTAG Technologies» (Нидерланды).

Пример электронного модуля с горячим резервированием в виде трех интегральных JTAG микросхем (ИМС1-ИМС3), параллельно подключенных к информационной шине показан на Рис. 1.

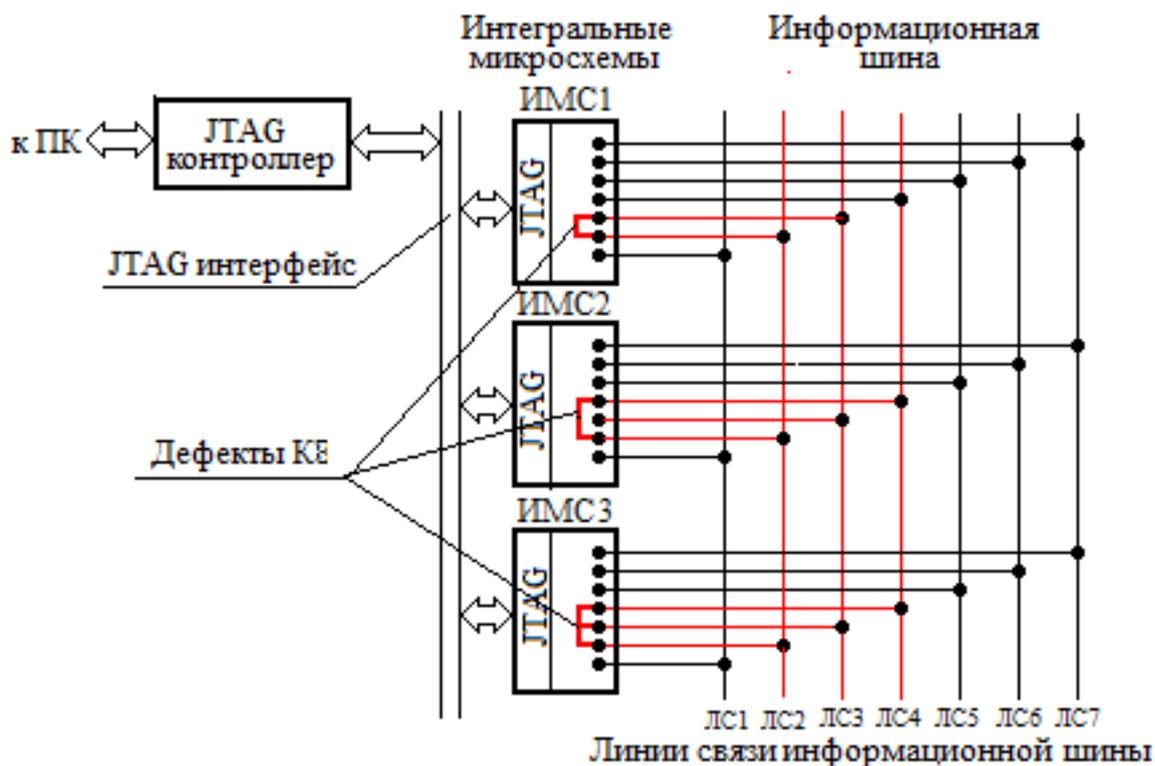


Рис. 1 Электронный модуль с горячим резервированием на трех интегральных JTAG микросхемах ИМС1...ИМС3

В процессе автоматизированной пайки BGA микросхем могут возникать дефекты в виде короткого замыкания (КЗ) между их выводами, находящимися в подкорпусном пространстве в зоне физической недоступности для традиционных электрических средств контроля. Такие дефекты могут быть выявлены с помощью аппаратно - программных средств граничного сканирования (ГС) [2]. Однако за счет параллельного подключения микросхем при наличии короткого замыкания только под одной из них дефект будет определяться под всеми, в том числе и бездефектными, микросхемами одновременно. Указанные обстоятельства практически обнуляют

эффект от резервирования как метода повышения надежности изделия. Для устранения подобных дефектов обычно производят реболлинг и перепайку всех микросхем на плате. Однако такие операции связаны с дополнительными температурными и механическими нагрузками на микросхемы, что также снижает ресурс работы изделия.

Проблеме создания технических средств локализации коротких замыканий в электрических схемах посвящены работы отечественных и зарубежных ученых [4-9].

В работах [4-8] рассматриваются различные подходы к диагностике коротких замыканий, основанные на методах контроля потенциалов и токов в различных точках печатной платы с помощью высокочувствительных электроизмерительных средств.

Общим их недостатком является необходимость физического контактирования элементов прибора с проводниками платы, имеющими защитное покрытие, при подключении внешнего тестового источника или щупов микровольтметра. Подключение к элементам схемы может оказаться невозможным на платах с микросхемами в BGA корпусах, высокой плотностью монтажа и минимальными размерами проводников. Наиболее совершенная методика контроля коротких замыканий в информационных шинах вычислительных устройств, использующая метод граничного сканирования, предложена в работе [10]. Однако она применима лишь для обнаружения одиночных коротких замыканий. На практике нередко встречаются случаи одновременного короткого замыкания под двумя или под всеми тремя микросхемами. Такие дефекты невозможно локализовать только с помощью метода граничного сканирования. В связи с этим представляет интерес разработки

метода локализации коротких замыканий на основе совокупного использования методов граничного сканирования и внутрисхемного контроля разработка методов локализации, расширяющих возможности производственной диагностики вычислительных модулей бортовых систем управления, является актуальной научной задачей.

Методика диагностики коротких замыканий под одной из трех параллельно подключенных микросхем

Особенностью JTAG ячеек [11,12], установленных на выходах ИМС, заключается в том, что программным путем они могут переводиться в одно из следующих состояний 1, 0 и Z. В первом случае на выходе ячейки устанавливается сигнал, равный напряжению питания E, например, +3,3 В. Во втором случае выход ячейки подтягивается к потенциалу земли (0В), в третьем случае ячейка переводится в высокоимпедансное состояние Z [13], при котором она отключается от внешних цепей. Указанные свойства JTAG ячеек позволяют изменять конфигурацию электрических связей между линиями шины передачи информации [14-17] и подключенными к ним ячейками микросхем и за счет этого выявлять дефекты короткого замыкания (КЗ) под одной, двумя или всеми тремя микросхемами одновременно [18-20].

Рассмотрим наиболее простой случай, когда дефект КЗ возник под одной из трех параллельно подключенных к шине BGA микросхем. Обобщенная эквивалентная электрическая схема замещения для случая короткого замыкания между двумя соседними контактами 1.1 и 1.2 первой микросхемы ИМС1 показана на

Рис. 2. Жирными линиями на схемах выделены участки короткого замыкания. В двойной нумерации узлов на схеме первая цифра означает номер микросхемы, а вторая – номер ячейки. Выводы ячеек микросхем с номером 1 подключены к линии связи «А», а выводы с номером 2 подключены к линии связи «Б». Указанные линии связи разомкнуты как на передающем, так и на приемном концах. Резисторы R между узлами представляют собой сопротивления участков линий связи величиной не более 0,01 Ом. Типовые значения сопротивлений драйверов R_0 лежат в диапазоне 75-160 Ом.

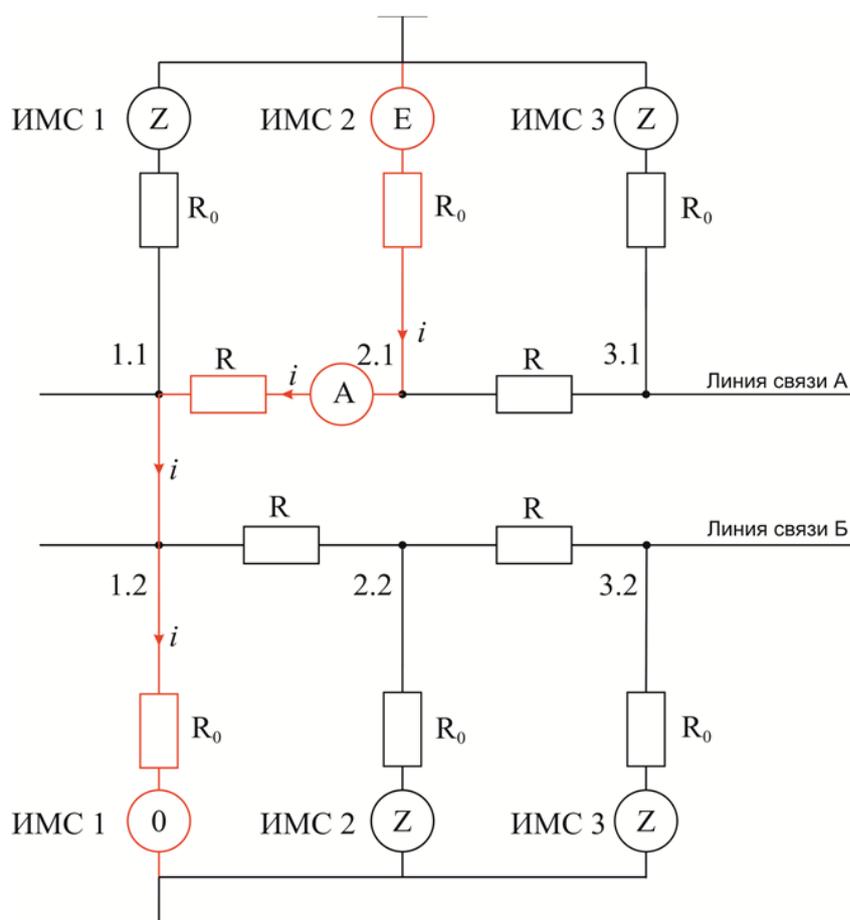


Рис. 2 Диагностика одиночного короткого замыкания между контактами 1.1 и 1.2

ИМС1

При данной конфигурации схемы видно, что ток через амперметр может протекать от ячейки ИМС2, находящейся в состоянии «1», по единственному возможному пути через узлы 2.1, 1.1, 1.2 и далее через резистор подтяжки R_0 на землю. Учитывая, что $R \ll R_0$, $R_A \ll R$, ток через амперметр будет равен $i = E / 2R_0$. Наличие этого тока при данной конфигурации цепи является однозначным диагностическим признаком существования короткого замыкания между контактами 1.1 и 1.2 ИМС1 при условии отсутствия короткого замыкания между соответствующими контактами ИМС2 и ИМС3. Схемы диагностики одиночного короткого замыкания между контактами ИМС2 и ИМС3 приведены на Рис. 3.

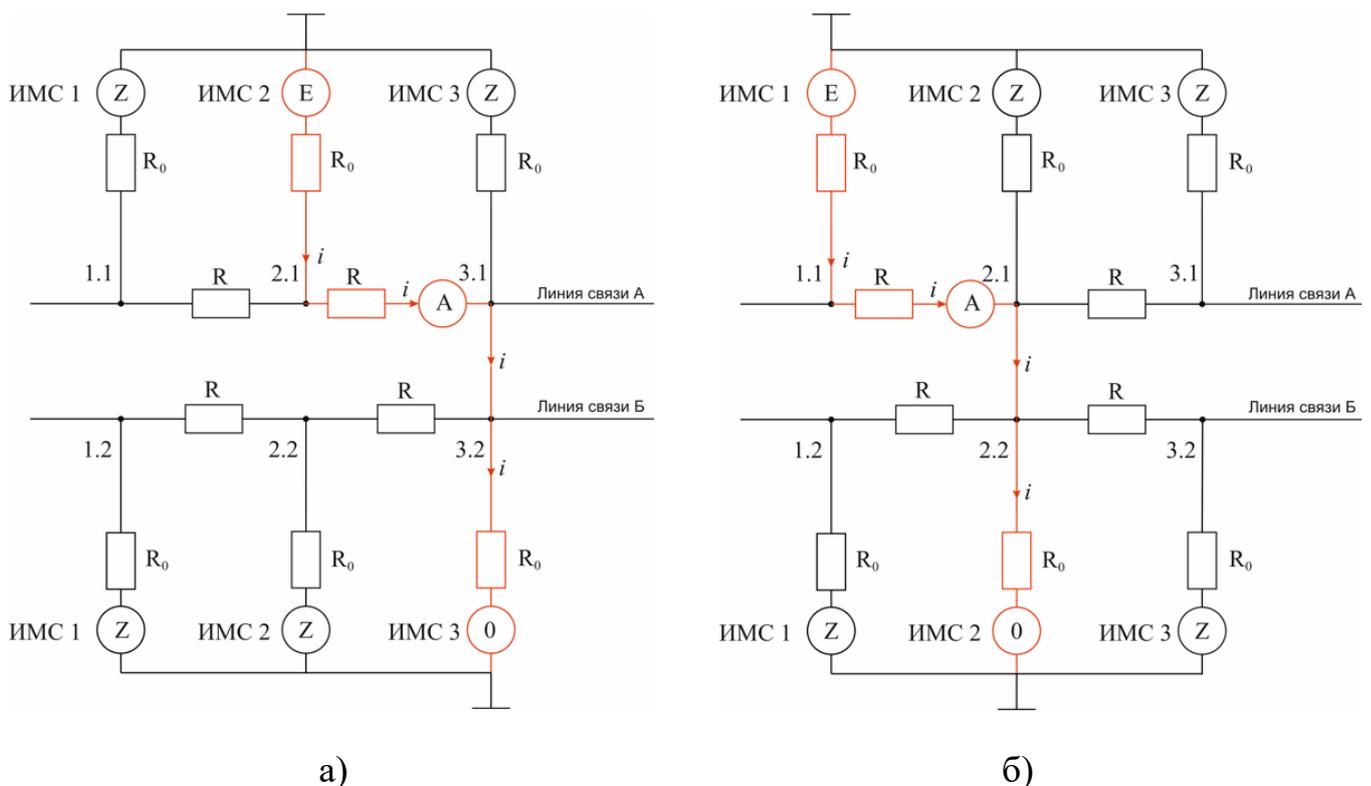


Рис. 3 Диагностика одиночных коротких замыканий: а- между контактами 2.1 и 2.2 ИМС2, б- между контактами 3.1 и 3.2 ИМС3

Ниже приведена таблица состояний ячеек ИМС1 - ИМС3 для выявления коротких замыканий под одной из трех параллельно подключенных к шине данных микросхем ИМС1, ИМС2, ИМС3.

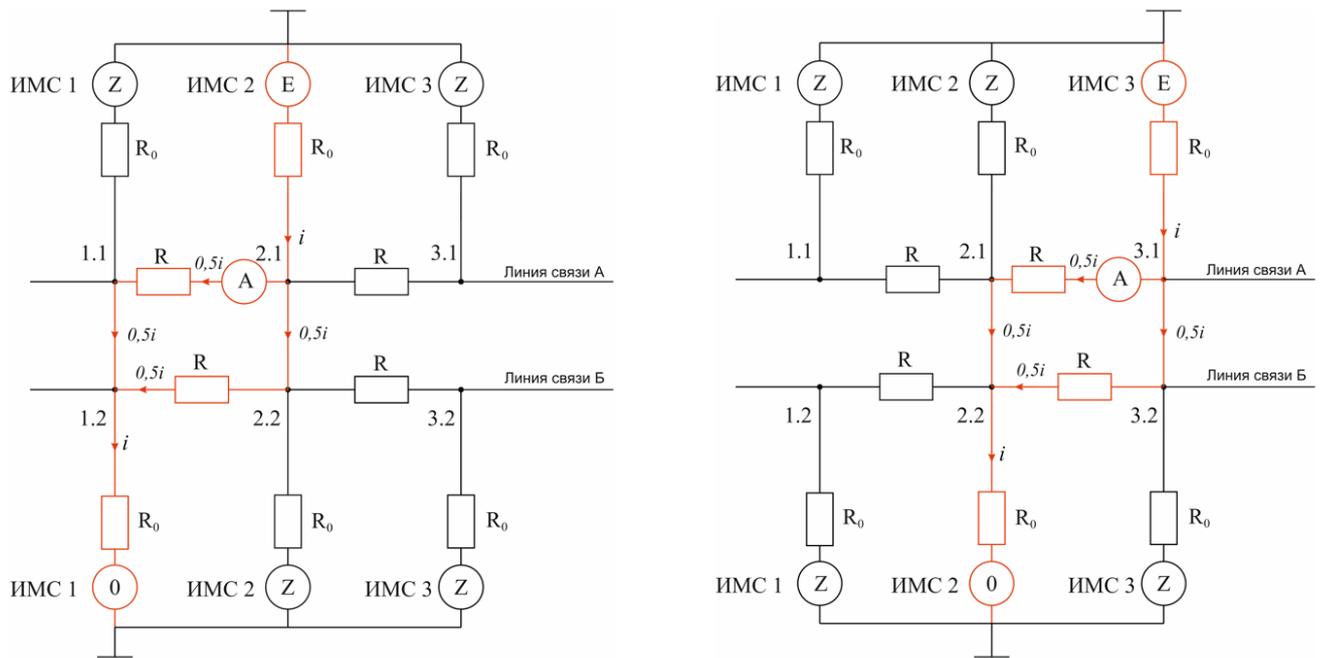
Таблица 1 - Состояния ячеек ИМС 1 - ИМС3 в процессе диагностики

№ п/п опыта	Состояния ячеек ИМС1...ИМС3							Вывод
	ИМС1		ИМС2		ИМС3		Ток	
	1.1	1.2	2.1	2.2	3.1	3.2	i	
1	Z	0	E	Z	Z	Z	$E/2R_0$	к.з между узлами 1.1 и 1.2 ИМС1
2	Z	Z	E	Z	Z	0	$E/2R_0$	к.з между узлами 2.1 и 2.2 ИМС2
3	E	Z	Z	0	Z	Z	$E/2R_0$	к.з между узлами 3.1 и 3.2 ИМС3

Таким образом, программно управляя состоянием JTAG ячеек в соответствии с таблицей 1 и определяя наличие тока, протекающего через амперметр, можно по результатам трех опытов однозначно определить номер одной дефектной микросхемы из трех и номера её контактов, между которыми произошло короткое замыкание.

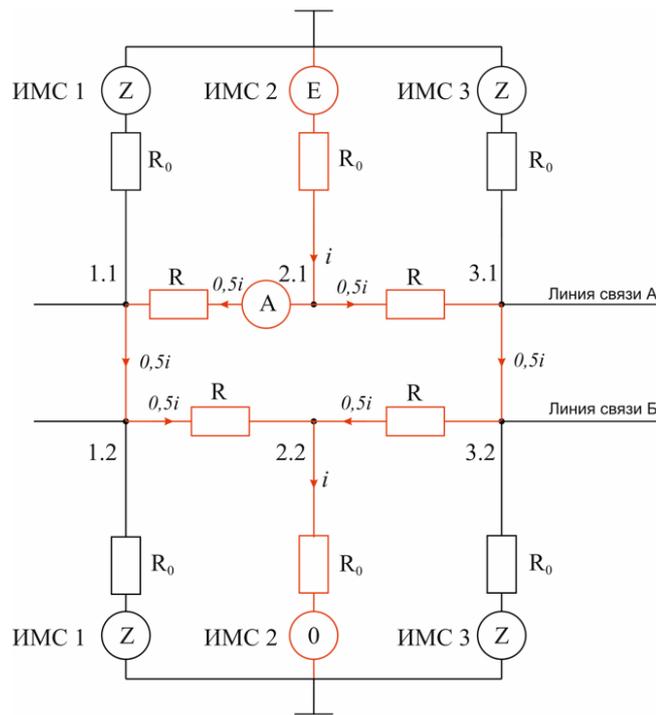
Методика диагностики коротких замыканий под двумя из трех параллельно подключенных микросхем

Данная задача является более сложной, чем предыдущая поскольку для выявления дефектов в каждом их возможных сочетаний требуется выполнить по два эксперимента. Пусть короткое замыкание одновременно произошло между узлами 1.1 – 1.2 и 2.1-2.2 микросхем ИМС1 и ИМС2 (Рис. 4а)



а)

б)



в)

Рис. 4. Короткое замыкание: а – между контактами 1.2 и 1.2 ИМС1 и контактами 2.1.2.2 ИМС2, б – между контактами 2.1 и 2.2 ИМС1 контактами 3.1 и 3.2 ИМС3, в – между контактами 1.1 и 1.2 ИМС1 контактами 3.1 и 3.2 ИМС3

Состояния контактов и значения токов для дефектов, представленных на Рис. 4 а представлены в таблице 2.

Таблица 2 - Состояние контактов и значения токов при диагностике парных дефектов 1.1–1.2 и 2.1–2.2

№ п/п опыта	Состояния ячеек ИМС1...ИМС3							Вывод
	ИМС1		ИМС2		ИМС3		Ток	
	1.1	1.2	2.1	2.2	3.1	3.2	i	
1	Z	0	E	Z	Z	Z	$E/4R_0$	к.з между узлами 1.1 и 1.2 ИМС1 и узлами 2.1 и 2.2 ИМС2 одновременно
2	Z	0	E	Z	Z	Z	$E/4R_0$	

По аналогии можно представить схемы и таблицы состояний для выявления дефектов между узлами 2.1 – 2.2 и 3.1 – 3.2. (Рис. 4 б, таблица 3) и узлами 1.1 – 1.2 и 3.1 – 3.2. (Рис. 4 в, таблица 4)

Таблица 3 - Состояние контактов и значения токов при диагностике парных дефектов 2.1–2.2 и 3.1–3.2

№ п/п опыта	Состояния ячеек ИМС1...ИМС3							Вывод
	ИМС1		ИМС2		ИМС3		Ток	
	1.1	1.2	2.1	2.2	3.1	3.2	i	
1	Z	Z	Z	0	E	Z	$E/4R_0$	к.з между узлами 2.1 и 2.2 ИМС1 и узлами 3.1 и 3.2 ИМС2 одновременно
2	Z	Z	Z	0	E	Z	$E/4R_0$	

Таблица 4 - Состояние контактов и значения токов при диагностике парных дефектов 1.1–1.2 и 3.1–3.2

№ п/п опыта	Состояния ячеек ИМС1...ИМС3							Вывод
	ИМС1		ИМС2		ИМС3		Ток	
	1.1	1.2	2.1	2.2	3.1	3.2	i	
1	Z	Z	E	0	Z	Z	$E/4R_0$	к.з между узлами 1.1 и 1.2 ИМС1 и узлами 3.1 и 3.2 ИМС2 одновременно
2	Z	Z	E	0	Z	Z	$E/4R_0$	

В том случае, когда короткое замыкание имеет место между соседними контактами всех трех микросхем одновременно схема замещения имеет вид, показанный на Рис. 5.

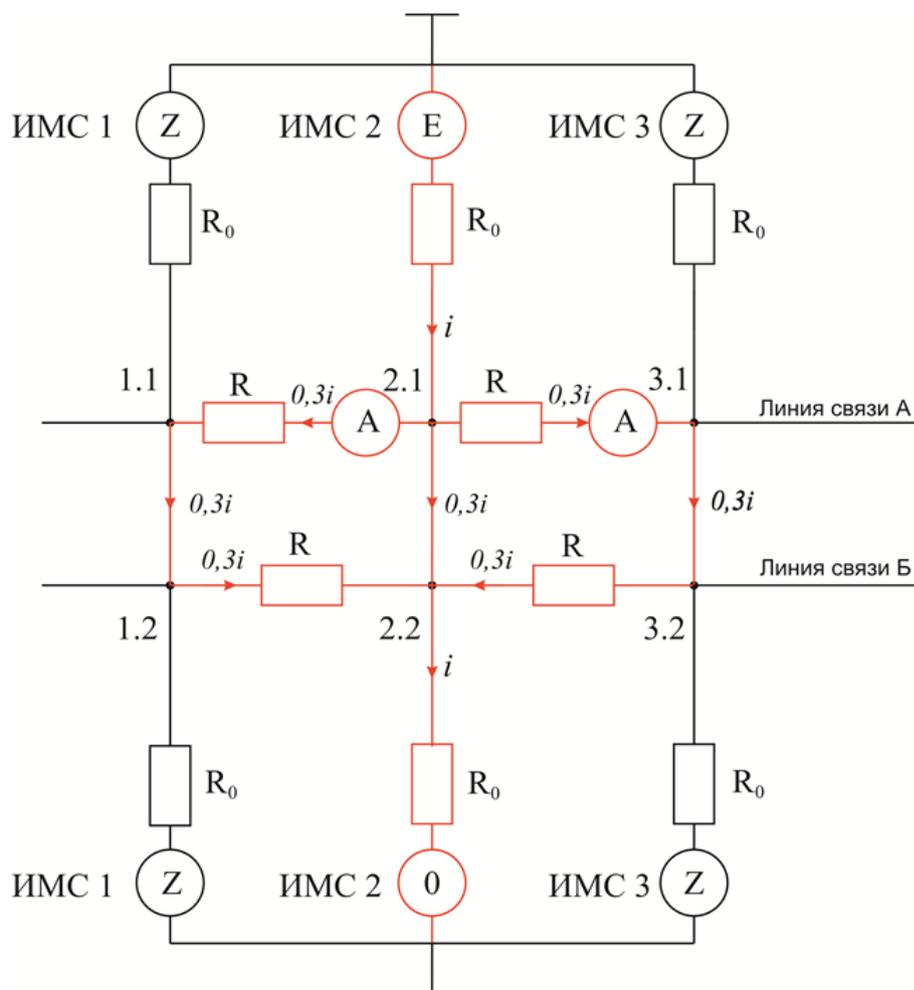


Рис. 5 - Схема замещения при коротком замыкании под всеми микросхемами
одновременно

Состояния контактов и значения токов для дефектов, представленных на Рис. 5
представлены в таблице 5.

Таблица 5 - Состояние контактов и значения токов при наличии короткого замыкания между контактами всех микросхем одновременно

№ п/п опыта	Состояния ячеек ИМС1...ИМС3							Вывод
	ИМС1		ИМС2		ИМС3		Ток	
	1.1	1.2	2.1	2.2	3.1	3.2	i	
1	Z	Z	E	0	Z	Z	$i_1=i_2=i_3=$ $=E/6R_0$	к.з. между узлами 1.1 и 1.2 ИМС1 и узлами 2.1 и 2.2 ИМС2, и 3.1 и 3.2 одновременно

Таким образом, для выявления всех видов дефектов необходимо контролировать токи в цепях, значения которых для различных вариантов схем замещения равны $E/2R_0$, $E/4R_0$, $E/6R_0$. Это позволяет использовать простой бесконтактный датчик тока с верхним пределом измерения 50 мА и классом точности на уровне $\pm 10\%$. Разработанные алгоритмы диагностики значительно расширяют возможности производственной диагностики всех возможных типов коротких замыканий, возникающих из-за дефектов поверхностного монтажа интегральных микросхем в BGA корпусах.

Конструкция и бесконтактного датчика тока и результаты экспериментальных исследований

Для подтверждения предложенной методики были разработаны печатные платы с установленными на них ИМС Altera EPM570F100I5N в корпусе BGA (Рис. 6).

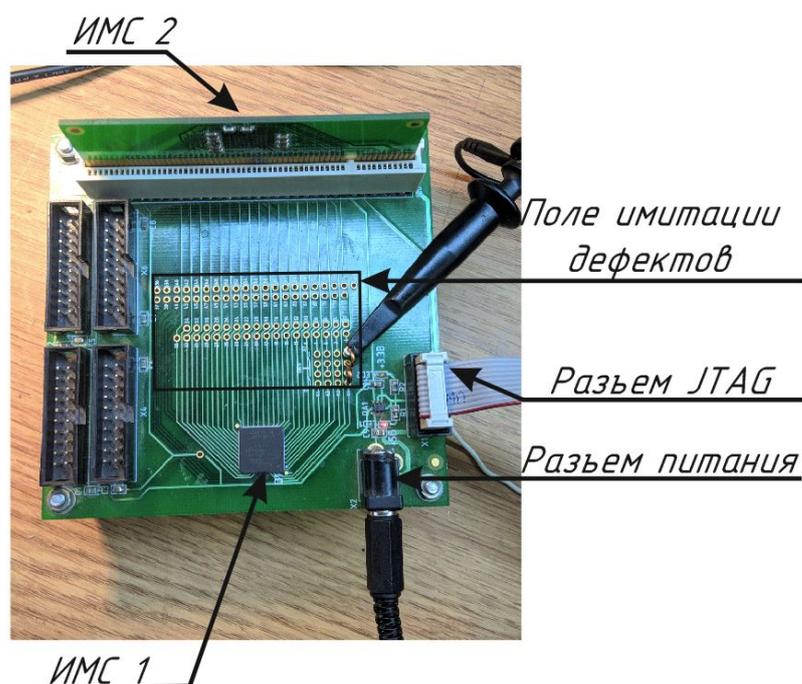


Рис. 6 – Стенд для поиска и локализации дефектов «короткого замыкания»

Как видно из Рис. 6 ИМС 2 распаяна на съемной плате и вставляется в печатную плату на которой установлена ИМС1. При помощи поля имитации дефектов можно смоделировать дефекты типа «короткого замыкания» и «обрыв». Топология платы выполнена таким образом, что каждый вывод GPIO ИМС1 соединён с таким же выводом ИМС 2.

Особенностью данного стенда является возможность смоделировать все рассмотренные цепи на Рис. 1-5 путем использования поля для имитации дефектов и выводов ИМС1, управляемых программно. На рис. 7 обозначено, что А4 соответствует точке 2.1, которая является источником сигнала одной из ИМС (рис. 2-5). Приемниками стали выводы А5, А6 и А7 они соответствуют точкам 1.2, 2.2 и 3.2 на рис.2-5.

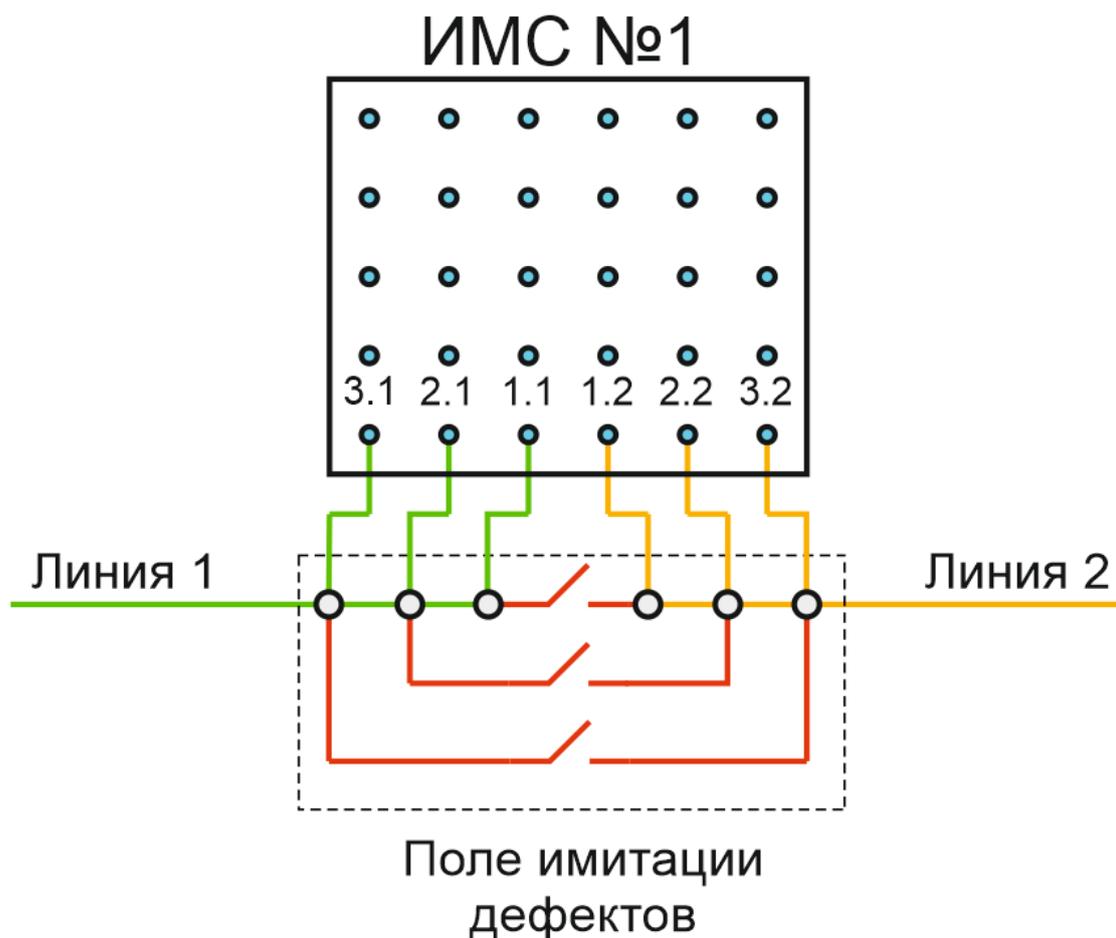


Рис 7. – Моделирование цепей на 2 ИМС

На поле имитации дефектов (рис.7) перемычками замыкались между собой цепи 1.1-1.2, 2.1-2.2, 3.1-3.2, что в свою очередь приводило к дефектам «КЗ» под корпусом исследуемой ИМС1. Датчик тока устанавливался на перемычки, показанные на рис. 7 красным цветом. Результаты моделирования дефектов и их соответствие с возможными ситуациями представленных на рис. 2 – 5 показаны в таблице 6

Таблица 6 – Результаты моделирования схем

№ эксперимента	Положение перемычки между цепями	Количество дефектов «КЗ», шт.	Соответствие рисункам 2-5
1	1.1-1.2	1	Рис. 2
2	1.1-1.2 и 2.1-2.2,	2	Рис 4а
3	1.1-1.2, 2.1-2.2 и 3.1-3.2	3	Рис 5

Как видно из таблицы 6 при помощи стенда удалось сконфигурировать цепи, предложенные выше. Следующим шагом было детектирование протекающего тока через установленные перемычки.

Для данного эксперимента был изготовлен простейший датчика тока на ферритовом кольце с зазором. Для макетного образца использовалось ферритовое кольцо с величиной магнитной проницаемости 2954 (величина, рассчитанная экспериментально). Внешний диаметр кольца составляет 7мм, внутренний 4 мм, а толщина 2мм. Величина зазора составляет 1,5мм. На кольце было сделано приблизительно 200 витков медного провода с диаметром 0,2 мм. Индуктивность разработанного датчика составила 297 мкГн, а активное сопротивление 2,7 Ом. Датчик тока максимально близко подносился к медной перемычке с диаметром поперечного сечения 1мм² (Рис. 8).



Рис. 8 – Вид датчика тока на перемычке

По методике, описанной выше для первого случая бала сконфигурирована цепь, в которой вывод 2.1 был источником сигнала, а вывод 1.2 был приемником остальные выводы были переведены в состояние Z.

Сигнал с вывода 2.1 имел вид меандра с амплитудой 3,3 В и частотой 200 Гц. Разработанный датчик реагировал на смену фронта сигнала. При помощи осциллографа «АКИП 4122/4V» подключённого напрямую к обмоткам датчика были получены осциллограммы и результаты экспериментальных измерений были занесены в таблицу 7. Данный способ измерений косвенно показывает величину протекающего тока короткого замыкания через перемычку для каждой исследуемой схемы.

Таблица 7 – Амплитудные значения входных сигналов

№ эксперимента	1	2	3
Амплитуда сигнал с датчика на перемычке	≈43 мВ	≈19мВ	≈13мВ

По данным таблицы 7 видно, что значения во втором и третьем экспериментах меньше первого в 2 и в 3 раза соответственно с погрешностью $\pm 10\%$.

Заключение

Исследованы возможности метода граничного сканирования для локализации коротких замыканий под микросхемами в BGA корпусах параллельно подключенными к шине передачи цифровых данных по схеме двукратного «горячего» резервирования.

Разработанные таблицы состояний JTAG ячеек исследуемых микросхем и найденные расчетные значения токов на контролируемых участках линий связи могут быть использованы в процессе производства и эксплуатации высокоинтегрированных

электронных модулей для точной и оперативной локализации пяти возможных вариантов дефектов короткого замыкания под тремя параллельно подключенными к цифровой шине данных BGA микросхемами

Проведенные экспериментальные исследования показали, что внедрение полученных результатов в технологические процессы производственного контроля и диагностики позволит многократно сократить время поиска и восстановления работоспособности изделий.

Результаты исследований могут быть полезны на предприятиях авиационной и ракетно-космической промышленности для производственного контроля цифровых электронных модулей бортовых систем управления.

Библиографический список

1. Стандарт граничного сканирования IEEE 1149.1. URL: https://standards.ieee.org/standard/1149_1-1990.html
2. Дж. Стэнбридж. Успехи и перспективы граничного сканирования. URL: https://russianelectronics.ru/files/62469/ЭК2013_01_22-25%20Стэнбридж.pdf
3. Морозов Д.В., Чермошенцев С.Ф. Модель локализации отказов в аппаратуре системы управления беспилотного летательного аппарата при использовании гибкого алгоритма функционирования в полете // Труды МАИ. 2018. № 99. URL: <http://trudymai.ru/published.php?ID=91997>
4. Руководство по JTAG тестированию. URL: <https://www.xjtag.com/ru/about-jtag/jtag-a-technical-overview/>

5. Локализатор мест короткого замыкания/обрывов на МПП/ПП Toneohm 950. URL: <https://sovtest-ate.com/equipment/toneohm-950/>
6. Заведеев А.И., Ковалев А.Ю. Диагностика состояния и принципы повышения отказоустойчивости бортовой системы управления космического аппарата // Труды МАИ. 2012. № 54. URL: <http://trudymai.ru/published.php?ID=29688>
7. Альперович Х.А. Устройство для обнаружения места короткого замыкания двух электрических цепей. Патент SU № 941910 А 1, 07.07.1982.
8. Поляков М.А., Ящук Б.А., Муронова Н.А. Устройство для определения места короткого замыкания электрических цепей. Патент SU 1041963 А 1, 15.09.1983.
9. Testing of integrated circuits using boundary scan. Patent US 20080215942 А 1, 2008. URL: <https://patents.google.com/patent/US20080215942>
10. Курицкий А.А., Гречишников В.М., Бутько А.Д. Способ локализации дефектов короткого замыкания выводов микросхем JTAG интерфейсом и устройство для его осуществления. Патент РФ 2703493. Бюлл. № 29, 17.10.2019.
11. Смирнов К.К., Сухов А.Г., Цимбалов А.С. Проблемы проведения испытаний микросхем в металлополимерных корпусах типа BGA // Труды МАИ. 2017. № 93. URL: <http://trudymai.ru/published.php?ID=80366>
12. Федоров В.К., Сергеев Н.П., Кондрашин А.А. Контроль и испытания в проектировании и производстве радиоэлектронных средств. – М.: Техносфера, 2015. – 504 с.
13. Пиганов М.Н., Шопин Г.П., Назаров А.А., Овакимян Д.Н. Устройство для определения нагрузочной способности микросхем // Труды МАИ. 2019. № 108. URL: <http://trudymai.ru/published.php?ID=109397>. DOI: [10.34759/trd-2019-108-5](https://doi.org/10.34759/trd-2019-108-5)

14. Прозоров С.Е., Вербин А.В. Оценка угрозы и управление риском в авиационной безопасности // Труды МАИ. 2014. № 78. URL:

<http://trudymai.ru/published.php?ID=53685>

15. Александровская Л.Н., Аронов И.З., Круглов В.И. Безопасность и надежность технических систем. – М.: Логос, 2008. - 376 с.

16. Давыдов П.С. Техническая диагностика радиоэлектронных устройств и систем. - М.: Радио и связь, 1988. - 256 с.

17. Быкадоров А.К., Кульбак Л.И., Лавриненко В.Ю., Рысейкин И.Н., Тихомиров В.Л. Основы эксплуатации радиоэлектронной аппаратуры. - М.: Высшая школа, 1978. - 320 с.

18. Анисимов О.В., Курчидис В.А. Формирование диагностической информации в виде фрагментов электрических схем радиоэлектронной аппаратуры // Труды МАИ. 2017. № 94. URL: <http://trudymai.ru/published.php?ID=81079>

19. Спиридонов И.Б. Метод анализа контролепригодности эксплуатационной модели самолета // Труды МАИ. 2015. № 83. URL: <http://trudymai.ru/published.php?ID=62029>

20. Ко Ч.М., Чень М.К., Хуанг Ю.Ц., Фу Ш.Л. Надёжность тестирования BGA-компонентов // Технологии в электронной промышленности. 2009. № 4. С. 38 - 42.

Principles of localization of short-circuit defects in the pins of chips connected in parallel to the digital data bus

Grechishnikov V.M. *, Kuritsky A.A. **, Butko A.D. ***

Samara National Research University named after Academician S.P. Korolev,

34, Moskovskoye shosse, Samara, 443086, Russia

**e-mail: gv@ssau.ru*

***e-mail: samales@mail.ru*

****e-mail: butkortf@ssau.ru*

Abstract

To improve the reliability of the digital electronic modules of control systems in aviation, various redundancy schemes are often used, based on the parallel connection of the same type of functional elements to the data bus. The functionality of such channels is implemented on super-large integrated circuits (SLIC), made most often in BGA (Ball Grid Array) enclosures and equipped with a JTAG interface in accordance with the IEEE 1149.1 standard. The JTAG interface is the basis for the development of hardware and software tools for boundary scanning, which are widely used not only for programming, but also for rapid contactless search, localization, identification and visualization of defects on assembled printed circuit boards

In the process of automated soldering of BGA chips, defects may occur in the form of a short circuit (bridge) between their terminals located in the subcorp space in the zone of physical inaccessibility to traditional electrical controls. Such defects can be detected using hardware and software boundary scanning. However, due to the parallel connection

of chips in the presence of a short circuit only under one of them, the defect will be determined under all, including defect-free, chips at the same time.

The authors investigated the possibilities of the boundary scanning method for localization of short circuits under microcircuits in BGA enclosures connected in parallel to the digital data transmission bus according to the double "hot" redundancy scheme. The calculated values of the currents on the monitored sections of the communication lines were found experimentally, which make it possible to accurately determine the position of the defect under the microcircuits in the BGA enclosures.

The conducted experimental studies have shown that the implementation of the results obtained in the technological processes of production control and diagnostics will significantly reduce the time of searching and restoring the operability of products.

Keywords: JTAG interface, BGA chip, "short circuit" defect, diagnostics, localization, contactless current sensor, boundary scanning, contour current.

References

1. *Standart granichnogo skanirovaniya IEEE 1149.1.* URL: https://standards.ieee.org/standard/1149_1-1990.html
2. Dzh. Stenbridzh. *Uspekhi i perspektivy granichnogo vkanirovaniya.* URL: https://russianelectronics.ru/files/62469/EK2013_01_22-25%20Stenbridzh.pdf4
3. Morozov D.V., Chermoshentsev S.F. *Trudy MAI*, 2018, no. 99. URL: <http://trudymai.ru/eng/published.php?ID=91997>
4. *Rukovodstvo po JTAG testirovaniyu.* URL: <https://www.xjtag.com/ru/about-jtag/jtag-a-technical-overview/>

5. *Lokalizator mest korotkogo замыканиya/obryvov na MPP/PP Toneohm 950*. URL: <https://sovtest-ate.com/equipment/toneohm-950/>
6. Zavedeev A.I., Kovalev A.Yu. *Trudy MAI*, 2012, no. 54. URL: <http://trudymai.ru/eng/published.php?ID=29688>
7. Al'perovich Kh.A. *Patent SU 941910 A 1*, 07.07.1982.
8. Polyakov M.A., Yashchuk B.A., Muronova N.A. *Patent SU 1041963 A 1*, 15.09.1983.
9. Testing of integrated circuits using boundary scan, *Patent US 20080215942 A 1*, 2008.
URL: <https://patents.google.com/patent/US20080215942>
10. Kuritskii A.A., Grechishnikov V.M., But'ko A.D. *Patent RF 2703493*, 17.10.2019.
11. Smirnov K.K., Sukhov A.G., Tsimbalov A.S. *Trudy MAI*, 2017, no. 93. URL: <http://trudymai.ru/eng/published.php?ID=80366>
12. Fedorov V.K., Sergeev N.P., Kondrashin A.A. *Kontrol' i ispytaniya v proektirovanii i proizvodstve radioelektronnykh sredstv* (Control and testing in the design and production of radioelectronic devices), Moscow, Tekhnosfera, 2015, 504 p.
13. Piganov M.N., Shopin G.P., Nazarov A.A., Ovakimyan D.N. *Trudy MAI*, 2019, no. 108,
URL: <http://trudymai.ru/eng/published.php?ID=109397>. DOI: [10.34759/trd-2019-108-5](https://doi.org/10.34759/trd-2019-108-5)
14. Prozorov S.E., Verbin A.V. *Trudy MAI*, 2014, no. 78. URL: <http://trudymai.ru/eng/published.php?ID=53685>
15. Aleksandrovskaya L.N., Aronov I.Z., Kruglov V.I. *Bezopasnost' i nadezhnost' tekhnicheskikh system* (Safety and reliability of technical systems), Moscow, Logos, 2008, 376 p.

16. Davydov P.S. *Tekhnicheskaya diagnostika radioelektronnykh ustroystv i system* (Technical diagnostics of radioelectronic devices and systems), Moscow, Radio i svyaz', 1988, 256 p.
17. Bykadorov A.K., Kul'bak L.I., Lavrinenko V.Yu., Ryseikin I.N., Tikhomirov V.L. *Osnovy ekspluatatsii radioelektronnoi apparatury* (Fundamentals of operation of radio-electronic equipment), Moscow, Vysshaya shkola, 1978, 320 p.
18. Anisimov O.V., Kurchidis V.A. *Trudy MAI*, 2017, no. 94. URL: <http://trudymai.ru/eng/published.php?ID=81079>
19. Spiridonov I.B. *Trudy MAI*, 2015, no. 83. URL: <http://trudymai.ru/eng/published.php?ID=62029>
20. Ko Ch.M., Chen' M.K., Khuang Yu.Ts., Fu Sh.L. *Tekhnologii v elektronnoi promyshlennosti*, 2009, no. 4, pp. 38 - 42.