
УДК. 621.38

Минимизация оборудования устройства управления цифровым вычислительным устройством

Назаров А.В, Хмара С.А

Аннотация

Предлагается метод минимизации оборудования устройства управления цифровым вычислительным устройством (ЦВУ), выполненном на базовом матричном кристалле. Минимизация обеспечивается путем формального изменения порядка функционирования ЦВУ. Метод позволяет сократить число логических элементов в управляющем автомате ЦВУ до применения традиционных методов минимизации булевых функций, то есть обеспечить уменьшение площади, занимаемую ЦВУ на кристалле на этапе его логического синтеза.

Ключевые слова

цифровое вычислительное устройство, устройство управления, базовый матричный кристалл, жесткая логика, порядок функционирования, логический синтез.

Введение

Широкое применение изделий микроэлектроники в системах управления самыми разнообразными объектами и процессами, является в настоящее время одним из основных направлений научно - технического прогресса. В настоящее время при разработке цифровых вычислительных устройств чаще всего применяются программируемые логические интегральные схемы (ПЛИС), обладающими такими достоинствами как большая гибкость архитектуры и высокая скорость создания проектов на их основе. Применение КМОП БИС имеет также ряд следующих важных преимуществ перед ПЛИС и другими структурами на объёмном кремнии – это полная диэлектрическая изоляция отдельных приборов на кристалле, отсутствие эффекта «защёлкивания», уменьшение суммарной паразитной ёмкости, большее быстродействие, снижение энергопотребления, возможность создания радиационно-стойких схем и схем, работающих при высоких температурах. Последнее обстоятельство позволяет применять их в авиакосмической аппаратуре специального назначения, вынуждая заказчиков прибегать к переводу полностью спроектированной и отлаженной ПЛИС-схемы на базовый матричный кристалл. Учитывая неугасающий интерес разработчиков и заказчиков к проектированию схем на основе БМК, в данной работе излагается оригинальный метод минимизации оборудования устройства управления цифровым спецвычислителем, выполненном на матричном КМОП-кристалле.

В функциональном и структурном отношении цифровое вычислительное устройство может быть представлено композицией операционного и управляющего автоматов (ОА и УА), информационная связь между которыми показана на рис. 1. Получая по осведомительной шине X коды завершения микроопераций, УА на шине Y формирует управляющие сигналы, разрешающие выполнение в ОА следующей группы микроопераций.

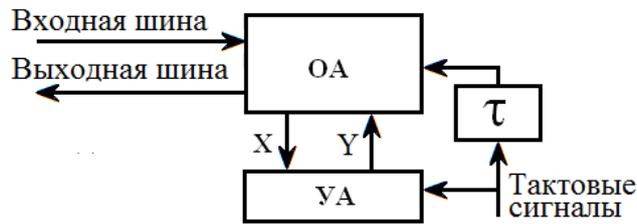


Рис. 1. Структурная схема цифрового устройства

Математической моделью дискретных детерминированных вычислительных устройств с конечной памятью является абстрактный автомат, который используется для интерпретации микропрограммы. В настоящее время разработаны две классические модели конечных автоматов: автомат Мура и автомат Мили.

Последовательностный автомат - есть пятикомпонентный кортеж [5]:

$$M = (S, I, O, \delta, \lambda), \quad \text{где:}$$

S – конечное непустое множество состояний (алфавит состояний);

I – конечное непустое множество входов (входной алфавит);

O – конечное непустое множество выходов (выходной алфавит);

$\delta: S \times I \rightarrow S$ – функция переходов, определяющая состояние автомата в следующий момент времени в зависимости от состояния автомата и входного сигнала в момент времени;

λ – функция выходов, вид которой приводит к разделению автоматов на два класса – Мили (в котором: $\lambda: S \times I \rightarrow O$) и Мура (в котором: $\lambda: S \rightarrow O$).

Наиболее общими формами представления абстрактного автомата является граф состояний и таблица переходов [4, 7, 9]. Структура операционного автомата обычно определяется набором стандартных операционных блоков (сумматор, компаратор и т.д.), в большинстве случаев не изменяется от проекта к проекту, и не вызывает особых проблем при проектировании цифрового устройства. Наибольшие трудности возникают при проектировании управляющего автомата цифрового устройства. Можно показать, что применение классических методов минимизации логических функций, описывающих работу управляющего автомата, не всегда позволяет получить оптимальный состав оборудования, необходимого для его реализации, причем, чем сложнее структура переходов автомата, тем более далеким от оптимального варианта получается результат.

Эффективность управляющего автомата во многом определяет характеристики системы в целом. Алгоритм управления системы задаётся кодом управления, который поступает в управляющий автомат из внешней среды. Алгоритм управления операционного автомата называется микропрограммой и реализуется управляющим автоматом. Одной из основных проблем при создании ЦВУ является поиск компромисса между быстродействием, стоимостью и универсальностью управляющего автомата. Также важным является время проектирования и реализации схемы управляющего автомата.

Поэтому оптимизация структуры управляющих автоматов в классах CPLD (Complex Programmable Logic Device), SPLD (Simple Programmable Logic Device), FPGA (Field Programmable Gate Arrays) [5, 6, 8], которые используются в мобильных телефонах, коммуникаторах и другой мобильной технике, помогут оптимизировать аппаратные затраты, а как следствие уменьшить размер и стоимость проектируемых цифровых устройств.

Как известно, УА с жёсткой логикой выигрывают по быстродействию перед автоматами с программированной логикой, но имеют жёсткую структуру и не могут быть измененными. ПЛИС позволяют заменить всё устройство, конфигурированное на микросхему. Таким образом, есть возможность создавать перепрограммируемый УА с жёсткой логикой [2, 9].

Сложнее обстоит дело с проектированием полужаказных спецвычислителей на основе базовых матричных кристаллов (БМК). Современные полужаказные схемы реализуются на базовом матричном кристалле, содержащем не соединенные между собой простейшие элементы (к примеру, транзисторы), а не функциональные элементы. Указанные элементы размещаются на кристалле в узлах прямоугольной решетки матричным методом. Именно поэтому, такие схемы называют матричными БИС. Как и в схемах на типовых ячейках топология комплекса логических частей разрабатывается заблаговременно. Но в данном случае топология логического элемента создается на базе регулярно расположенных простых частей. Поэтому в ходе проектирования логический элемент может быть размещен в любом месте кристалла, а для реализации всей схемы требуется изготовить лишь фотошаблоны слоев коммутации. Достоинства БМК, заключающиеся в понижении стоимости и времени проектирования, обусловлены:

- применением БМК для проектирования и производства широкого класса БИС;
- уменьшением числа детализированных решений в ходе проектирования БИС;
- упрощением контроля и внесения конфигураций в топологию;
- возможностью эффективного использования средств автоматизации проектирования.

Таким образом, БМК представляет собой заготовку, на которой определенным образом размещены электронные приборы (транзисторы и др.). Следовательно, проектирование микросхемы можно было бы вести и на приборном уровне. Но этот метод не находит распространения на практике по следующим причинам. Во-первых, возникает задача большой размерности. Во-вторых, беря во внимание повторяемость структуры частей кристалла и логической схемы,

В последней приняты обозначения: a_{TC} – текущее состояние; A_{CC} – следующее состояние; X – входной набор; Y – вырабатываемый выход.

Система логических уравнений, полученная традиционным способом [3, 10] и реализующая переключения данного автомата, имеет вид:

$$A_1 = a_4$$

$$A_2 = a_1 + a_3$$

$$A_3 = a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} \cdot \overline{x_6} + a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} + a_2 \cdot \overline{x_1} \cdot \overline{x_2} + a_2 \cdot \overline{x_4} \cdot \overline{x_5} \cdot \overline{x_6} \cdot \overline{x_1}$$

$$A_4 = a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} \cdot \overline{x_6} + a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} + a_2 \cdot \overline{x_4} \cdot \overline{x_5} \cdot \overline{x_6} \cdot \overline{x_1} + a_2 \cdot \overline{x_4} \cdot \overline{x_1} \cdot \overline{x_5} + a_5$$

$$A_5 = a_2 \cdot \overline{x_1} \cdot \overline{x_4}$$

$$Y_1 = a_1$$

$$Y_2 = a_3$$

$$Y_3 = a_2 \cdot \overline{x_1} \cdot \overline{x_4}$$

$$Y_4 = a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} \cdot \overline{x_6} + a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} + a_2 \cdot \overline{x_4} \cdot \overline{x_5} \cdot \overline{x_6} \cdot \overline{x_1} + a_5$$

$$Y_5 = a_2 \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} + a_2 \cdot \overline{x_4} \cdot \overline{x_1} \cdot \overline{x_5}$$

$$Y_6 = a_4$$

Таблица 1

a_{TC}	X	Y	A_{CC}
a_1	–	Y_1	A_2
a_2	$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} \cdot \overline{x_6}$	–	A_4
a_2	$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5} \cdot \overline{x_6}$	Y_4	A_3
a_2	$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_5}$	Y_5	A_4
a_2	$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3}$	Y_4	A_3
a_2	$\overline{x_1} \cdot \overline{x_2}$	–	A_3
a_2	$\overline{x_1} \cdot \overline{x_4}$	Y_3	A_5
a_2	$\overline{x_4} \cdot \overline{x_5} \cdot \overline{x_6} \cdot \overline{x_1}$	–	A_4
a_2	$\overline{x_4} \cdot \overline{x_5} \cdot \overline{x_6} \cdot \overline{x_1}$	Y_4	A_3
a_2	$\overline{x_4} \cdot \overline{x_1} \cdot \overline{x_5}$	Y_5	A_4
a_3	–	Y_2	A_2
a_4	–	Y_6	A_1
a_5	–	Y_4	A_4

Сложность (по Квайну) логической схемы, реализующей данные уравнения, составляет 64 единицы. Попытки ее дальнейшей минимизации не дают заметной экономии в оборудовании.

Покажем, как с помощью изменения порядка функционирования автомата добиться существенной экономии состава оборудования, необходимого для его реализации. Сущность предлагаемого метода, состоит в предварительном поиске и выделении непрерывных цепочек логических условий в граф-схеме алгоритма работы устройства. На следующем этапе производится

разбиение самых длинных из них на две (и более) коротких цепочки, причем в точку (точки) разрыва исходной цепочки логических условий добавляется одно промежуточное состояние автомата, эквивалентное по времени выполнению одному холостому циклу шины проектируемого вычислительного устройства. На практике указанные цепочки встречаются довольно часто, например, автомате управления лифтами, автомате управления беспилотными летательными аппаратами и другими цифровыми устройствами, ожидающими сигналов от многочисленных датчиков, каждый из которых запускает соответствующий ему вычислительный алгоритм.

С точки зрения выполняемого алгоритма исходный и результирующий автоматы будут эквивалентны, поскольку на одни и те же сигналы, поступающие в них по шине X , они будут выработать те же управляющие сигналы на шине Y , что и исходный УА. В теории автоматов используется следующий термин изоморфизма двух автоматов: два автомата являются изоморфными, если они выполняют то же самое *фиксированное* преобразование входных сигналов в выходные, независимо от прошлой истории входов и выходов. Другими словами, если имеются две изоморфные последовательностные машины M_1 и M_2 , то только помещая комбинационные цепи перед и после машины M_2 можно преобразовать (конвертировать) ее в машину, которая ведет себя подобно M_1 . В случае предлагаемого в данной работе преобразования автомата M_1 в автомат M_2 в автомат M_1 вводятся дополнительные состояния. Поэтому, строго нельзя назвать изоморфным исходному автомату результирующий автомат. Однако, результирующий автомат является *эквивалентным исходному с точки зрения выполнения им требуемого действия*.

На рисунке 3 изображена граф-схема того же автомата, но после ее модификации по описанному алгоритму. Схема 3 отличается от схемы 2 двумя дополнительными блоками, которые реализуют холостой ход шины с помощью управляющего сигнала $У^*$. В табл.2 приведена соответствующая этой граф-схеме таблица переходов.

Таблица 2

a_{TC}	X	Y	A_{CC}
a_1	–	Y_1	A_2
a_2	$\overline{x_1 \cdot x_2}$	Y^*	A_6
a_2	$\overline{x_1 \cdot x_2}$	–	A_3
a_2	$\overline{x_4 \cdot x_1}$	Y^*	A_7
a_2	$x_4 \cdot x_1$	Y_3	A_5
a_3	–	Y_2	A_2
a_4	–	Y_6	A_1
a_5	–	Y_4	A_4
a_6	x_3	Y_4	A_3
a_6	$\overline{x_3}$	Y^*	A_7
a_7	$\overline{x_5 \cdot x_6}$	–	A_4
a_7	$\overline{x_5 \cdot x_6}$	Y_4	A_3
a_7	x_5	Y_5	A_4

- предлагаемая модификация не существенно влияет на время выполнения требуемых от автомата действий, замедляя его работу на один холостой ход шины, который более, чем на порядок меньше среднего время выполнения обычного цикла шины;
- существенно упрощает структуру и длину межсоединений управляющего автомата спецвычислителя, что также ведет к снижению занимаемой им площади на базовом кристалле матричном кристалле.

Библиографический список

1. Уэйкерли Дж. Ф. Проектирование цифровых устройств : в 2-х т. /Дж. Ф. Уэйкерли. – М. : Постмаркет, 2002.
2. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики, - СПб.: БХВ – Питербург, 2002. – 608с.:ил.
3. Угрюмов Е.П. Цифровая схемотехника – СПб.: БХВ – Санкт-Петербург 2000 – 528с.: ил.
4. Соловьев В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем. – Москва: Горячая линия: Телеком, 2007. – 636 с.
5. Бибило П.Н. Синтез комбинационных ПЛИС – структур для СБИС. – Минск: Наука и техника, 1992. – 232 с.
6. Проектирование цифровых систем на комплектах микропрограммируемых БИС / С.С. Булгаков, В.М. Мещеряков, В.В. Новоселов; Под ред. В.Г. Колесникова. – М.: Радио и связь, 1984. – 240 с.
7. Палагин А.В., Баркалов А.А., Юсифов С.И., Швец А.Г. Синтез микропрограммных автоматов на ПЛИС / Киев: ИК АН Украины, 1992. – Препринт № 92-18. – 26 с.

8. Швец А.Г. Синтез устройств управления на программируемых логических интегральных схемах//дисс. канд. техн. наук. – Донецк, ДонГТУ, 1995. – 171 с.
9. Стешенко В. Программируемые логические интегральные схемы: обзор архитектур и особенности применения // http://www.compitech.ru/html.cgi/arhiv_s/00_01/stat_23.htm.
10. Баркалов А.А., Титаренко Л.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС. – Донецк:ДонНТУ, Технопарк ДонНТУ УНИТЕХ, 2009. – 336 с.
11. Интернет-ресурс <http://gigarefs.ru/24/dok.php?id=00299#>

Сведения об авторах

Хмара Сергей Александрович, аспирант Московского авиационного института (национального исследовательского университета), тел.: +7 499 267-83-00 ,8-925-206-51-11, e-mail: khmarik@mail.ru

Назаров Александр Викторович, профессор Московского авиационного института (национального исследовательского университета), д.т.н., тел.: +7 499 267-83-00, 8-903-511-07-89, e-mai: naza46@post.ru