

Труды МАИ. 2025. № 143
Trudy MAI. 2025. No. 143. (In Russ.)

Научная статья

УДК 681.3

URL: <https://trudymai.ru/published.php?ID=185649>

EDN: <https://www.elibrary.ru/DMRNDE>

ОЦЕНКА АППАРАТНОЙ СЛОЖНОСТИ УСТРОЙСТВА ДЛЯ УМНОЖЕНИЯ КВАДРАТНЫХ БИНАРНЫХ МАТРИЦ С КОНВЕЙЕРИЗАЦИЕЙ ОПЕРАЦИИ ЧТЕНИЯ ДАННЫХ ИЗ СПЕЦИАЛИЗИРОВАННОЙ МНОГОПОРТОВОЙ ПАМЯТИ

Алексей Владимирович Болгак¹✉, Эдуард Игоревич Ватутин²

^{1,2}Юго-Западный государственный университет,

Курск, Россия

¹aleksei.bolgack@yandex.ru✉

²evatutin@rambler.ru

Аннотация. В данной статье рассмотрены сферы применения матричных вычислений. Приведено описание подходов к выполнению операции умножения матриц. Рассмотрены основные методы оптимизации обработки матриц на программном и аппаратном уровне. Рассмотрены основные виды цифровых устройств, в основу работы которых положен принцип параллельно-конвейерной обработки информации. Предложено систолическое устройство для быстрого умножения квадратных бинарных матриц размером $n \times n$, отличительной особенностью которого является конвейеризация операции чтения данных из специализированной многопортовой памяти. Выполнена оценка аппаратной

сложности предложенного устройства, а также ее сравнение с аппаратной сложностью устройства-прототипа на базе систолических структур. Полученные результаты показали, что устройство для умножения бинарных матриц с конвейеризацией операции чтения данных из специализированной многопортовой памяти обладает в 5,5 – 8,8 раз большей аппаратной сложностью по сравнению с устройством-прототипом в зависимости от размера матрицы n при снижении времени обработки бинарных матриц размером $n < 2000$ до 200 раз, что является целесообразным для практической реализации предложенного устройства с использованием FPGA или ASIC.

Ключевые слова: умножение матриц, оценка аппаратной сложности, многопортовая специализированная память, специализированные вычислительные средства, систолические вычислительные средства

Для цитирования: Болгак А.В., Ватутин Э.И. Оценка аппаратной сложности устройства для умножения квадратных бинарных матриц с конвейеризацией операции чтения данных из специализированной многопортовой памяти // Труды МАИ. 2025. № 143. URL: <https://trudymai.ru/published.php?ID=185649>

Original article

ESTIMATION OF THE HARDWARE COMPLEXITY OF A DEVICE FOR MULTIPLYING SQUARE BINARY MATRICES WITH PIPELINING OF DATA READING OPERATIONS FROM SPECIALIZED MULTIPORT MEMORY

Aleksei V. Bolgak^{1✉}, Eduard I. Vatutin²

^{1,2}Southwest State University,

Kursk, Russia

¹aleksei.bolgack@yandex.ru✉

²evatutin@rambler.ru

Abstract. This article discusses the application areas of matrix calculations. It describes approaches to performing matrix multiplication. It considers the main methods for optimizing matrix processing at the software and hardware levels. It considers the main types of digital devices based on the principle of parallel-pipeline processing of information. It proposes a systolic device for fast multiplication of square binary matrices of size $n \times n$, the distinctive feature of which is the pipelining of the data reading operation from a specialized multiport memory. It evaluates the hardware complexity of the proposed device and compares it with the hardware complexity of a prototype device based on systolic structures, in which the corresponding structural and functional organization of multiport memory was proposed, providing reading of $2n$ pairs of matrix coefficients each cycle, which is significantly better than classical memory (for example, DDR or GDDR), providing reading of only one operand per cycle. During the evaluation of its performance, it was found that with an increase in the size of the processed matrices $n > 64$, the device operating time (pipeline cycle) is still limited by the rate of data receipt from the memory. The results obtained showed that most of the equivalent gates are spent on the implementation of specialized memory, and also that the device for multiplying binary matrices with pipelining the data reading operation from specialized multiport memory has 5.5 – 8.8 times greater hardware complexity compared to the prototype device depending on the matrix size n with a decrease in the processing time of binary matrices of size $n <$

2000 to 200 times, which is appropriate for the practical implementation of the proposed device using FPGA or ASIC.

Keywords: matrix multiplication, performance evaluation, multiported specialized memory, specialized computing facilities, systolic computing facilities

For citation: Bolgak A.V., Vatutin E.I. Estimation of the hardware complexity of a device for multiplying square binary matrices with pipelining of data reading operations from specialized multiport memory. *Trudy MAI*. 2025. No. 143. (In Russ.). URL: <https://trudymai.ru/eng/published.php?ID=185649>

Введение

Необходимость в обработке матриц возникает при решении большого количества научно-практических задач. К ним относятся системы, работающие в реальном времени, принимающие решения за короткий временной интервал (как правило, не более нескольких десятков миллисекунд) [1-3], системы спутниковой и инерциальной навигации [4], алгоритмы роевого управления БПЛА с элементами кластерного анализа [5], графовые задачи с построением маршрутов и использованием матриц смежности в графах [6], построение матриц достижимости и контрдостижимости в графах [7], определение состава бинарных отношений [8], решение задач линейной алгебры, систем дифференциальных уравнений в матричном виде и так далее. Необходимость в их быстром выполнении делает задачу разработки устройств для быстрой обработки матриц актуальной.

Существует два основных подхода реализации матричных вычислений: программный и аппаратный. При программной реализации алгоритма классического

умножения матриц одним из главных недостатков является низкая эффективность использования кэш-памяти процессора, что приводит к увеличению времени обработки и снижению реальной производительности вычислительной системы. С целью снижения временных затрат на умножение матриц существует ряд алгоритмических оптимизаций, например, умножение с буферизацией j -го столбца или блочное умножение, которые позволяют эффективно использовать кэш-память процессора, увеличивая реальную производительность используемой вычислительной системы приблизительно до 6 раз [9]. Учитывая однородность расположения данных в памяти, указанные алгоритмы допускают эффективную векторизацию с использованием соответствующего расширения системы команд CPU (SSE или AVX), что позволяет дополнительно снизить вычислительные затраты на величину приблизительно до 3 раз [10-11].

Еще одним известным направлением для снижения временных затрат на матричные вычисления является умножение матриц на графических процессорах (GPU) в рамках концепции GPGPU. Использование параллельных программных реализаций, ориентированных на использование технологий CUDA, OpenCL, STREAM для GPU [12-14] позволяет ускорить выполнение умножения матриц.

В случае, если на программном уровне время выполнения операции умножения матриц оказывается неприемлемо долгим, то возможен перенос данной операции с программного уровня на аппаратный путем разработки специализированного вычислительного устройства. На аппаратном уровне существует ряд подходов по реализации операции умножения матриц. Их можно разделить на три основные группы:

1. Устройства на оптических элементах [15-17]. Несмотря на их теоретическую привлекательность, в настоящее время они не используются на практике.

2. Устройства, основанные на аналоговых вероятностных принципах обработки сигналов [18]. Эти устройства имеют встроенные вероятностные свойства и могут допускать статистическую погрешность. Несоответствие их стандартам (IEEE 754) и низкая точность ограничивают их применение в современных практических задачах.

3. Цифровые устройства, в основу работы которых положен принцип параллельно-конвейерной обработки информации [19]. На сегодняшний день эта группа является наиболее распространенной. Устройства, основанные на принципах параллельной и конвейерной обработки, позволяют эффективно выполнять умножение матриц. К устройствам данной группы можно отнести умножители Боули, Брауна, Бута и другие [20-21]. Данная группа характеризуется существенным выигрышем во времени обработки матриц, позволяя выполнять операцию умножения матриц за линейное время.

В ряде алгоритмов (построение матриц достижимости и контрдостижимости в графах, транзитивное замыкание бинарных отношений) возникает необходимость умножения бинарных матриц, что позволяет дополнительно снизить аппаратную сложность и повысить быстродействие соответствующих устройств.

Устройства данного направления можно разделить на две основных группы:

1. Устройства на базе систолических структур (патент РФ на полезную модель № 157948. URL: https://patents.s3.yandex.net/RU157948U1_20151220.pdf).

2. Итерационные устройства (патент РФ на изобретение № 2744239. URL: https://patents.s3.yandex.net/RU2744239C1_20210304.pdf).

Отличительной особенностью вычислительных устройств на базе систолических структур является их высокое быстродействие, однако они обладают существенно большей аппаратной сложностью, что является препятствием для их практической реализации при умножении матриц большого размера. Устройства обработки бинарных матриц, основанные на итерационном подходе, в отличие от систолических, характеризуются умеренным быстродействием и низкой аппаратной сложностью, однако они допускают эффективную реализацию досрочного прерывания процесса умножения выбранной пары строки и столбца бинарных матриц, что позволяет сократить необходимые вычислительные затраты до 2 – 3 порядков при выполнении умножения неплотных бинарных матриц.

Стоит отметить, что для каждого конкретного случая (размер матриц, плотность матриц, ограничение на аппаратную сложность устройства) возможен выбор одного из перечисленных выше аппаратных подходов к реализации операции умножения матриц на практике.

На основании вышеизложенной информации, в данной статье предложено устройство, основанное на систолическом принципе умножения, целью которого является снижение затрат времени чтения информации из памяти путем реализации специализированной многопортовой памяти. В устройстве-прототипе (патент РФ на полезную модель № 193927. URL: https://yandex.ru/patents/doc/RU193927U1_20191121) была предложена соответствующая структурно-функциональная организация многопортовой памяти, обеспечивающая чтение $2n$ пар коэффициентов матриц каждый такт, что существенно лучше классической памяти (например, DDR или GDDR),

обеспечивающей чтение только одного операнда за такт. В ходе оценки его быстродействия [22] было выявлено, что с увеличением размера обрабатываемых матриц $n > 64$ время работы устройства (конвейерный такт) по-прежнему лимитируется темпом поступления данных из памяти. Особенностью предложенного в статье устройства является конвейеризация операции чтения данных из многопортовой памяти.

Основное внимание в данной статье уделяется оценке аппаратной сложности предложенного устройства и ее сравнению с аппаратной сложностью прототипа.

Оценка аппаратной сложности устройства-прототипа

Существует устройство обработки бинарных матриц на базе систолических структур (патент РФ на полезную модель № 193927. URL: https://yandex.ru/patents/doc/RU193927U1_20191121), которое является прототипом для разработанного устройства для умножения квадратных бинарных матриц с конвейеризацией операции чтения данных из специализированной многопортовой памяти.

Произведем расчет и оценку его аппаратной сложности.

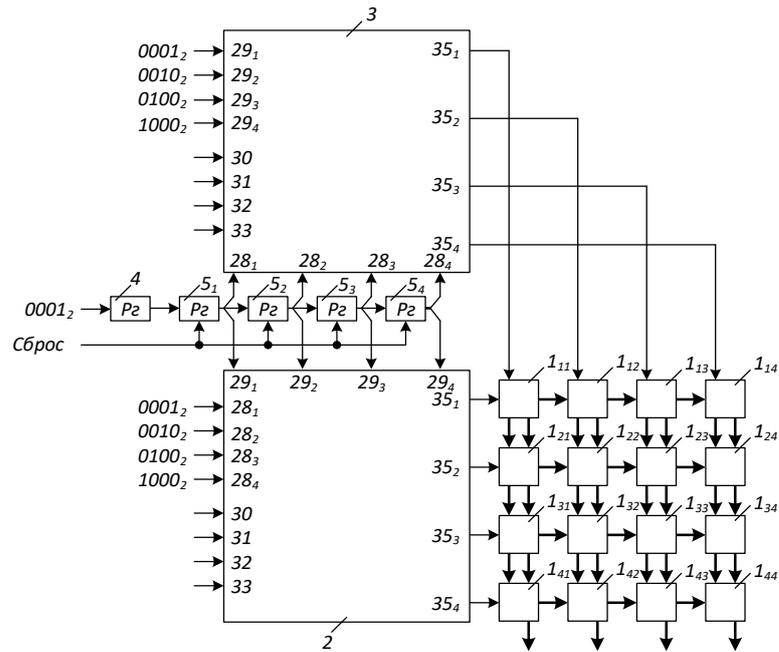


Рис. 1. Функциональная схема прототипа

Аппаратная сложность прототипа складывается из сложности блока хранения 2 и 3, сдвигового регистра 4, группы из n двухступенчатых регистров $5_1 - 5_n$ и матрицы $n \times n$ операционных блоков 1 (рис. 1).

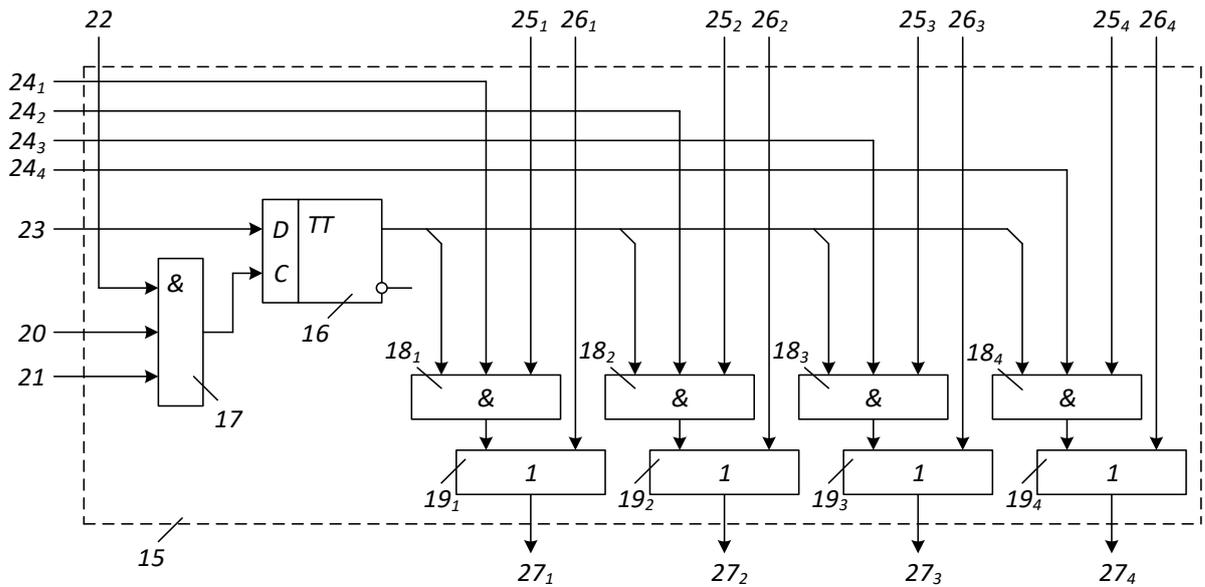


Рис. 2. Схема блока хранения прототипа

Блок хранения устройства обработки бинарных матриц на базе систолических структур включает в себя: элемент И 17 сложностью 2 эквивалентных вентиля; триггер 16 сложностью 4 эквивалентных вентиля; группу элементов И 18₁ – 18_n сложностью 2 эквивалентных вентиля каждый; группу элементов ИЛИ 19₁ – 19_n сложностью 1 эквивалентный вентиль каждый (рис. 2).

Совокупная аппаратная сложность ячейки блока хранения устройства обработки бинарных матриц на базе систолических структур определяется как

$$R_{1\text{ прот.}} = \underbrace{2}_{И17} + \left(\underbrace{2}_{И18} + \underbrace{1}_{ИЛИ19} \right) \times n + \underbrace{4}_{ТТ16} = 6 + 3n.$$

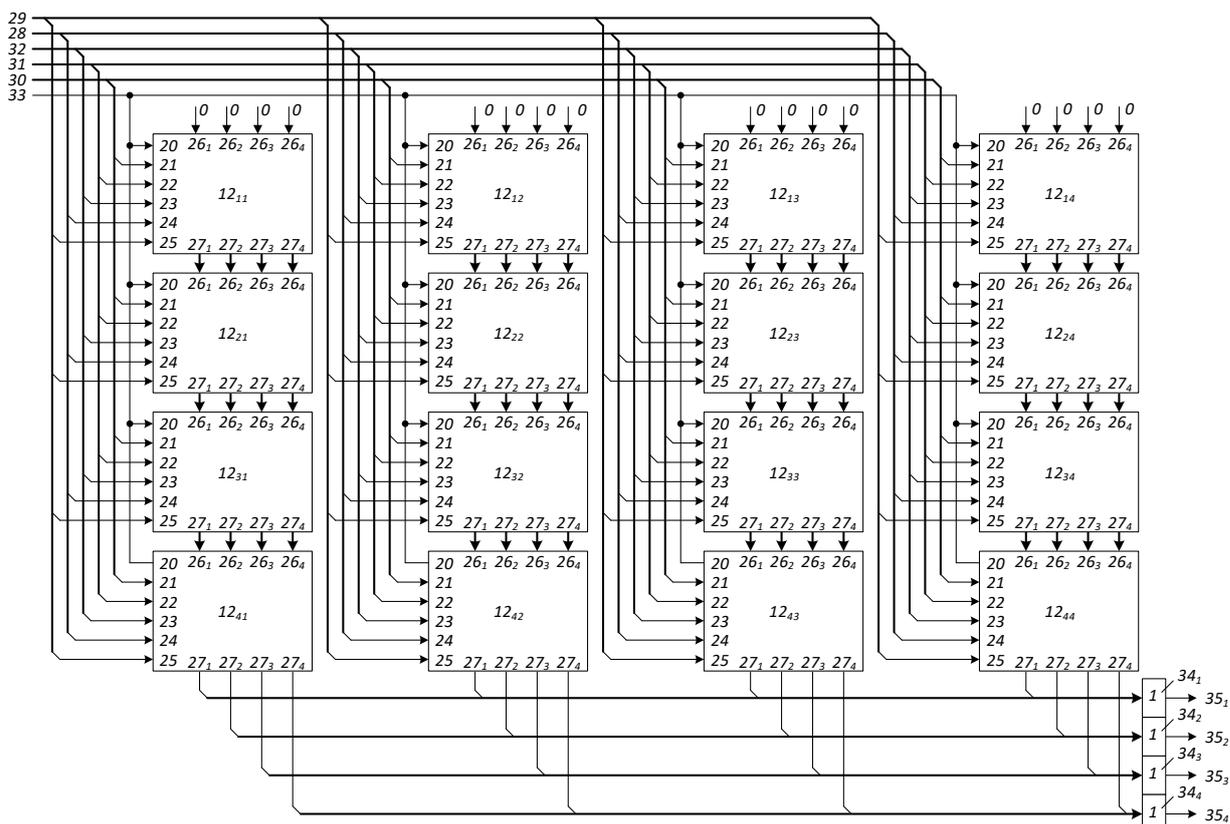


Рис. 3. Схема блока коэффициентов матрицы прототипа

Аппаратная сложность блока коэффициентов матрицы устройства обработки бинарных матриц на базе систолических структур складывается из аппаратной

Аппаратная сложность операционного блока прототипа определяется как

$$R_{3 \text{ прот.}} = \underbrace{8}_{\text{ТТ6}} + \underbrace{8}_{\text{ТТ7}} + \underbrace{8}_{\text{ТТ8}} + \underbrace{1}_{\text{И9}} + \underbrace{1}_{\text{ИЛИ10}} + \underbrace{1}_{\text{И11}} + \underbrace{1}_{\text{И12}} + \underbrace{1}_{\text{ИЛИ13}} + \underbrace{1}_{\text{инвертор14}} = 30,$$

а матрицы $n \times n$ операционных блоков как

$$R_{4 \text{ прот.}} = n^2 \times R_{3 \text{ прот.}} = 30n^2.$$

Аппаратная сложность прототипа в целом складывается из сложности блоков блока хранения, набора регистров 4 и $5_1 - 5_n$, причем аппаратная сложность регистра 4 – $4n$ эквивалентных вентилях, сложность каждого из двухступенчатых регистров 5 группы – $8n$ эквивалентных вентилях, в группе n регистров, матрицы $n \times n$ операционных блоков:

$$R_{5 \text{ прот.}} = 2R_{2 \text{ прот.}} + 4n + 8n^2 + R_{4 \text{ прот.}} = 2 \times (7n^2 + 3n^3 - n) + 4n + 8n^2 + 30n^2 = 14n^2 + 6n^3 - 2n + 38n^2 + 4n = 6n^3 + 52n^2 + 2n.$$

Оценка аппаратной сложности предложенного устройства

Оценим аппаратную сложность предложенного устройства.

Оценку аппаратной сложности будем производить в эквивалентных вентилях, понимая под эквивалентным вентиляем одно- или двухвходовой логический элемент, выполняющий элементарную логическую операцию. Аппаратная сложность устройства складывается из сложности блока хранения 2 и 3, сдвигового регистра 4, группы из n двухступенчатых регистров $5_1 - 5_n$ и матрицы $n \times n$ операционных блоков 1 (рис. 5).

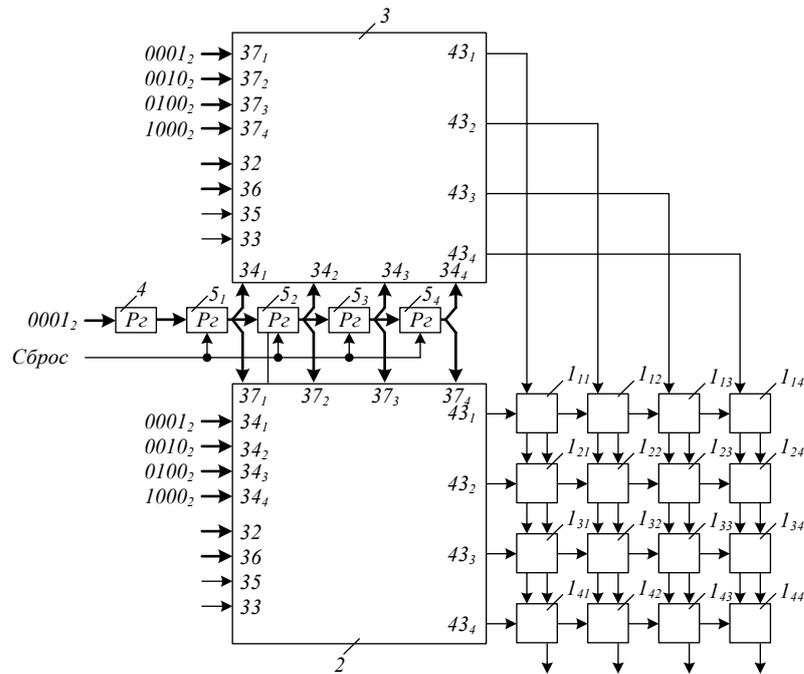


Рис. 5. Функциональная схема устройства

Блок коэффициентов матрицы 2, 3 включает в своем составе $n \times n$ блоков хранения 15, $(n - 1)$ двухступенчатых регистров $39_1 - 39_{n-1}$, $(n - 1)$ двухступенчатых регистров $40_1 - 40_{n-1}$, $n \times n$ двухступенчатых триггеров $41_{11} - 41_{nn}$ и $n \times (n - 1)$ элементов ИЛИ $42_{11} - 42_{n, n-1}$.

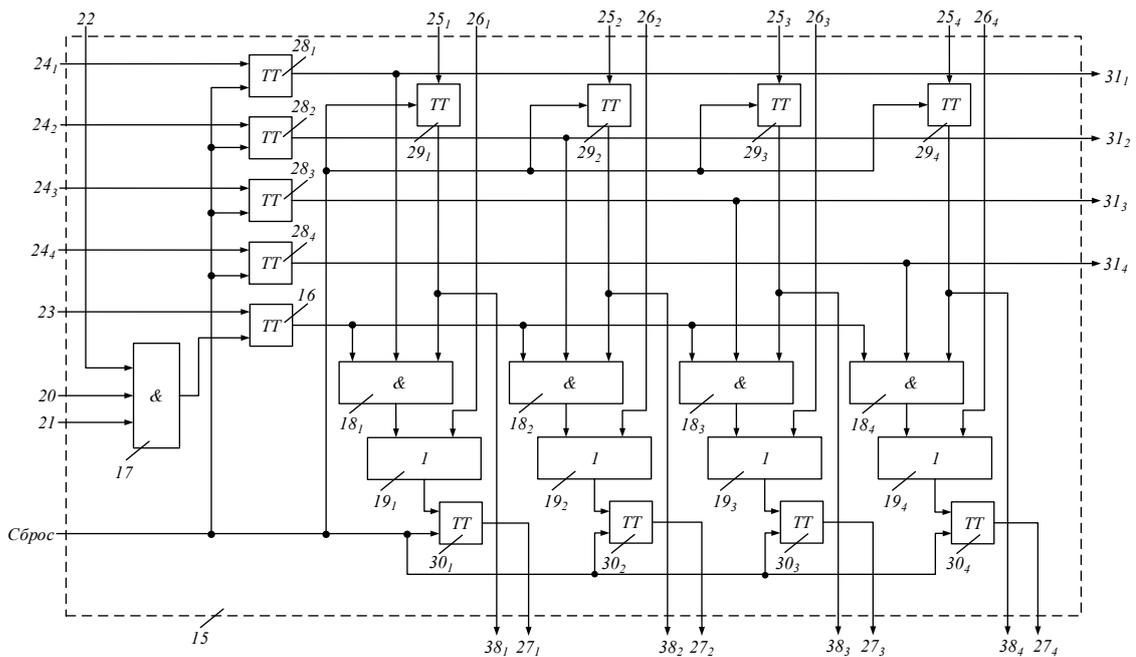


Рис. 6. Функциональная схема блока хранения устройства

Блок хранения 15 предлагаемого устройства включает в себя: элемент И 17 сложностью 2 эквивалентных вентиля; триггер 16 сложностью 4 эквивалентных вентиля; группа триггеров $28_1 - 28_n$ сложностью 8 эквивалентных вентиляей каждый; группа триггеров $29_1 - 29_n$ сложностью 8 эквивалентных вентиляей каждый; группа элементов И $18_1 - 18_n$ сложностью 2 эквивалентных вентиляей каждый; группа элементов ИЛИ $19_1 - 19_n$ сложностью 1 эквивалентный вентиль каждый; группа триггеров $30_1 - 30_n$ сложностью 8 эквивалентных вентиляей каждый (рис. 6).

Совокупная аппаратная сложность блока хранения ячейки памяти предлагаемого устройства для умножения квадратных бинарных матриц определяется как

$$R_1 = \underbrace{2}_{И\ 17} + \left(\underbrace{2}_{И\ 18} + \underbrace{1}_{ИЛИ\ 19} \right) \times n + \underbrace{4}_{ТТ\ 16} + \underbrace{8n}_{ТТ\ 28_1-28_n} + \underbrace{8n}_{ТТ\ 29_1-29_n} + \underbrace{8n}_{ТТ\ 30_1-30_n} = 6 + 27n.$$

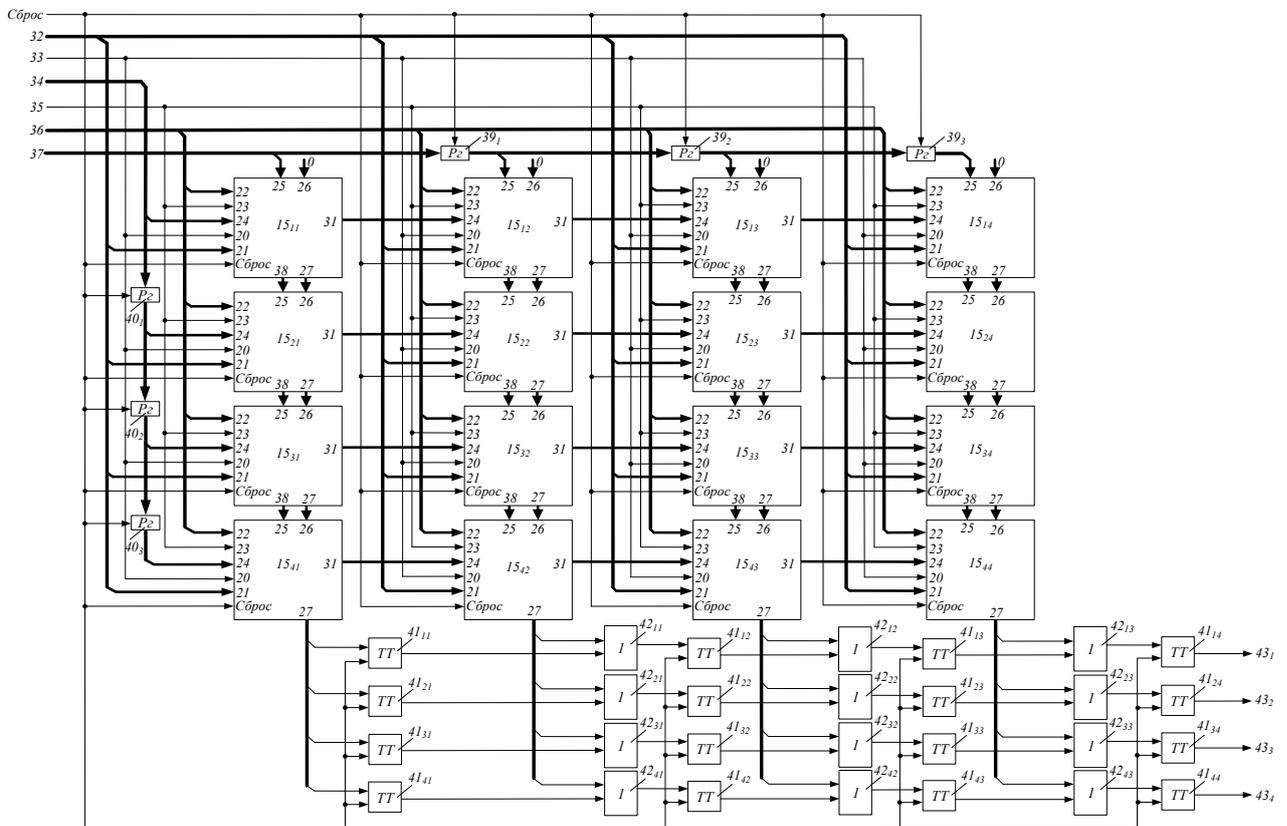


Рис. 7. Схема блока коэффициентов матрицы устройства

Аппаратная сложность блока коэффициентов матрицы предлагаемого устройства (рис. 7) складывается из аппаратной сложности $n \times n$ блоков хранения и аппаратной сложности групп триггеров $41_{11} - 41_{nn}$ и групп элементов ИЛИ $42_{11} - 42_{nn}$:

$$R_2 = \underbrace{n^2 R_1}_{\substack{\text{блок} \\ \text{хранения 15}}} + \underbrace{8n^2}_{\substack{\text{ТТ} \\ 41_{11} - 41_{nn}}} + \underbrace{n \times (n - 1)}_{\substack{\text{ИЛИ} \\ 42_{11} - 42_{nn}}} = n^2 \times (6 + 27n) + 8n^2 + n \times (n - 1) = \\ = 15n^2 + 27n^3 - n.$$

Аппаратная сложность операционного блока и матрицы $n \times n$ операционных блоков у предложенного устройства и прототипа совпадают:

$$R_3 = R_{3 \text{ прот.}};$$

$$R_4 = R_{4 \text{ прот.}}$$

Аппаратная сложность предлагаемого устройства умножения квадратных бинарных матриц в целом складывается из сложности блоков блока хранения, набора регистров 4 и $5_1 - 5_n$, причем аппаратная сложность регистра 4 составляет $4n$ эквивалентных вентиляй, сложность каждого из двухступенчатых регистров 5 группы – $8n$ эквивалентных вентиляй, в группе n регистров, матрицы $n \times n$ операционных блоков:

$$R_5 = \underbrace{2R_2}_{\substack{\text{блок} \\ \text{хранения}}} + \underbrace{4n}_{R_2 4} + \underbrace{8n^2}_{R_2 5_1 - 5_n} + \underbrace{R_4}_{\substack{\text{операционный} \\ \text{блок 15}}} = 2 \times (15n^2 + 27n^3 - n) + 4n + 8n^2 + 30n^2 = \\ = 30n^2 + 54n^3 - 2n + 30n^2 + 4n + 8n^2 = 54n^3 + 68n^2 + 2n.$$

Анализ результатов

Проведем сравнение аппаратной сложности двух устройств при одинаковых n .

Разница в аппаратной сложности определяется по формуле

$$\eta = \frac{R_5}{R_{5 \text{ прот.}}} = \frac{54n^3 + 68n^2 + 2n}{6n^3 + 52n^2 + 2n}.$$

Значения величины аппаратной сложности для предлагаемого устройства умножения квадратных бинарных матриц с конвейеризацией операции чтения данных из специализированной многопортовой памяти, рассчитанные для различных n , приведены в табл. 1.

Оценка аппаратной сложности предложенного устройства

Таблица 1

n	Предложенное устройство, ЭВ
10	$6,1 \times 10^4$
100	$5,4 \times 10^7$
1000	$5,4 \times 10^{10}$

Значения величин аппаратной сложности специализированной памяти и систолической части прототипа и предложенного устройства, рассчитанные для различных n , приведены в табл. 2.

Оценка аппаратной сложности специализированной памяти и систолической части прототипа и предложенного устройства

Таблица 2

n	$R_{RAM \text{ прот.}}, \text{ЭВ}$	$R_{RAM}, \text{ЭВ}$	$R_{\text{суст. прот.}}, \text{ЭВ}$	$R_{\text{суст.}}, \text{ЭВ}$
2	140	588	120	

4	744	4072	480
8	4496	30096	1920
16	30240	230944	7680
32	$2,2 \times 10^5$	$1,8 \times 10^6$	$3,0 \times 10^4$
64	$1,7 \times 10^6$	$1,4 \times 10^7$	$1,2 \times 10^5$
128	$1,3 \times 10^7$	$1,1 \times 10^8$	$4,9 \times 10^5$
256	$1,0 \times 10^8$	$9,1 \times 10^8$	$2,0 \times 10^6$
512	$8,1 \times 10^8$	$7,2 \times 10^9$	$7,9 \times 10^6$
1024	$6,5 \times 10^9$	$5,8 \times 10^{10}$	$3,1 \times 10^7$
2048	$5,2 \times 10^{10}$	$4,6 \times 10^{11}$	$1,2 \times 10^8$

Полученные оценки аппаратной сложности (табл. 2) позволяют сделать вывод о том, что большая часть эквивалентных вентилях расходуется на реализацию специализированной памяти.

Значения величины аппаратной сложности для предлагаемого устройства и прототипа, рассчитанные для различных n , приведены в табл. 3.

Сравнительная оценка аппаратной сложности предложенного устройства с прототипом

Таблица 3

n	Предложенное устройство, ЭВ	Прототип, ЭВ	Разница, раз
10	$6,1 \times 10^4$	$1,1 \times 10^4$	5,5
100	$5,4 \times 10^7$	$6,5 \times 10^6$	8,3

1000	$5,4 \times 10^{10}$	$6,1 \times 10^9$	8,8
------	----------------------	-------------------	-----

Заключение

Из представленных данных следует, что прототип обладает в 5,5 – 8,8 раз меньшей аппаратной сложностью по сравнению с предложенным устройством для умножения матриц с конвейеризацией операции чтения данных из специализированной многопортовой памяти в зависимости от размера матрицы n .

Не смотря на то, что предложенное устройство обладает большей аппаратной сложностью, по предварительным оценкам, оно обеспечивает снижение временных затрат до 200 раз при умножении квадратных бинарных матриц размером $n < 2000$, что является целесообразным для практической реализации предложенного устройства с использованием FPGA или ASIC.

Список источников

1. Григорьев Е.К., Сергеев А.М. Способ защитного кодирования данных, получаемых оптическими сенсорами беспилотных авиационных систем // Труды МАИ. 2023. № 133. URL: <https://trudymai.ru/published.php?ID=177675>
2. Никулин В.С., Хижняков Ю.Н., Сторожев С.А. Виртуальный адаптивный векторно-матричный измеритель окислителя камеры сгорания газотурбинного двигателя // Труды МАИ. 2021. № 121. URL: <https://trudymai.ru/published.php?ID=162668>. DOI: [10.34759/trd-2021-121-21](https://doi.org/10.34759/trd-2021-121-21)

3. Гончарова В.И. Параметрический синтез нелинейной системы автоматического управления с распределенными параметрами // Труды МАИ. 2024. № 134. URL: <https://trudymai.ru/published.php?ID=178476>
4. Сбитенькова М.А. Гибридная инерциальная навигационная система // Труды МАИ. 2011. № 45. URL: https://trudymai.ru/published.php?ID=25509&PAGEN_2=2
5. Саенко И.Б., Митяков Е.С., Лаута О.С., Соколов А.П. Алгоритм роевого управления БПЛА с элементами кластерного анализа // Информация и космос. Серия: Информационные технологии и телекоммуникации. 2024. № 4. С. 68-75.
6. Волков А.С., Баскаков А.Е. Разработка процедуры двунаправленного поиска для решения задачи маршрутизации в транспортных программно-конфигурируемых сетях // Труды МАИ. 2021. № 118. URL: <https://trudymai.ru/published.php?ID=158240>. DOI: [10.34759/trd-2021-118-07](https://doi.org/10.34759/trd-2021-118-07)
7. Зыков А.А. Основы теории графов. - М.: Наука, 1986. - 384 с.
8. Ватутин Э.И., Зотов И.В. Построение матрицы отношений в задаче оптимального разбиения параллельных управляющих алгоритмов // Известия Курского государственного технического университета. 2004. № 2. С. 85–89.
9. Болгак А.В., Ватутин Э.И. Оценка реальной производительности процессоров семейства Intel Core различных поколений в задаче умножения вещественных матриц для однопоточной программной реализации // 4-ая международная научно-техническая конференция «Облачные и распределенные вычислительные системы в электронном управлении» - ОРВС–2023 (Переславль-Залесский, 28 ноября – 1 декабря 2023): сборник трудов. - Курск: Изд-во «Университетская книга», 2024. С. 98–100.

10. Ватутин Э.И., Титов В.С. Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации с использованием расширения SSE (часть 1) // Известия Юго-Западного государственного университета. 2015. Т. 1, № 4 (61). С. 26–35.
11. Ватутин Э.И., Титов В.С. Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации с использованием расширения SSE (часть 2) // Известия Юго-Западного государственного университета. 2015. Т. 1, № 5 (62). С. 8–16.
12. Ватутин Э.И., Мартынов И.А., Титов В.С. Оценка реальной производительности современных видеокарт с поддержкой технологии CUDA в задаче умножения матриц // Известия Юго-Западного государственного университета. Серия: Управление, вычислительная техника, информатика. Медицинское приборостроение. 2014. № 2. С. 8–17.
13. Боресков А.В., Харламов А.А. Марковский Н.Д. и др. Параллельные вычисления на GPU. Архитектура и программная модель CUDA. - М.: Изд-во Московского университета, 2012. 336 с.
14. Старовойтов И.Н., Ревняков Е.Н., Полякова Е.Н. Параллельные вычисления на графических процессорах // Первая Международная научная конференция по проблемам цифровизации: EDCRUNCH URAL – 2020 (Екатеринбург, 29–30 сентября 2020): материалы конференции. – Екатеринбург: Изд-во Уральского университета, 2020. С. 314–319.
15. Гребнев А.К., Гридин В.Н., Дмитриев В.П. Оптоэлектронные элементы и устройства. – М.: Радио и связь, 1998. – 336 с.

16. Юшин А.М. Оптоэлектронные приборы и их зарубежные аналоги: справочник. Т.1. – М.: Радиософт, 1998. – 512 с.
17. Белов П.А., Беспалов В.Г., Васильев В.Н. и др. Оптические процессоры: достижения и новые идеи / В кн.: Проблемы когерентной и нелинейной оптики. – СПб.: Университет ИТМО, 2006. С. 6–36.
18. Плаксиенко В.С., Плаксиенко Н.Е., Плаксиенко С.В. Устройства приема и обработки сигналов. – М.: Учебно-методический издательский центр «Учебная литература», 2004. – 376 с.
19. Одинец А.И., Науменко А.П. Цифровые устройства: АЦП и ЦАП. – Омск: Изд-во ИРСИД, 2006.- 48 с.
20. Кун С. Матричные процессоры на СБИС: Пер. с англ. - М.: Мир, 1991. - 672 с.
21. Строгонов А.В. Основы цифровой обработки сигналов. - Воронеж: Воронежский государственный технический университет, 2014. - 310 с.
22. Гвоздева С.Н., Ватулин Э.И., Титов В.С. Оценка быстродействия устройства с систолической структурой для умножения бинарных матриц // Телекоммуникации. 2020. № 3. С. 2–10.

References

1. Grigor'ev E.K., Sergeev A.M. Method for security coding of data received by optical sensors of unmanned aircraft systems. *Trudy MAI*. 2023. No. 133. (In Russ.). URL: <https://trudymai.ru/eng/published.php?ID=177675>
2. Nikulin V.S., Khizhnyakov YU.N., Storozhev S.A. Virtual adaptive vector-matrix meter of the oxidizer of the combustion chamber of a gas turbine engine. *Trudy MAI*. 2021. No.

121. (In Russ.). URL: <https://trudymai.ru/eng/published.php?ID=162668>. DOI: [10.34759/trd-2021-121-21](https://doi.org/10.34759/trd-2021-121-21)
3. Goncharova V.I. Parametric synthesis of a nonlinear automatic control system with distributed parameters. *Trudy MAI*. 2024. No. 134. (In Russ.). URL: <https://trudymai.ru/eng/published.php?ID=178476>
4. Sbiten'kova M.A. Hybrid inertial navigation system. *Trudy MAI*. 2011. No. 45. (In Russ.). URL: https://trudymai.ru/eng/published.php?ID=25509&PAGEN_2=2
5. Saenko I.B., Mityakov E.S., Lauts O.S., Sokolov A.P. Algorithm of swarm control of UAVs with elements of cluster analysis. *Informatsiya i kosmos. Seriya: Informatsionnye tekhnologii i telekommunikatsii*. 2024. No. 4. p. 68-75. (In Russ.)
6. Volkov A.S., Baskakov A.E. Bidirectional search procedure development for solving the the transport software-defined network routing problem. *Trudy MAI*. 2021. No. 118. (In Russ.). URL: <https://trudymai.ru/eng/published.php?ID=158240>. DOI: [10.34759/trd-2021-118-07](https://doi.org/10.34759/trd-2021-118-07) c
7. Zykov A.A. *Osnovy teorii grafov* (Fundamentals of graph theory). Moscow: Nauka Publ., 1986. 384 p.
8. Vatutin E.I., Zotov I.V. Construction of a matrix of relations in the problem of optimal partitioning of parallel control algorithms. *Izvestiya Kurskogo gosudarstvennogo tekhnicheskogo universiteta*. 2004. No. 2. P. 85–89. (In Russ.)
9. Bolgak A.V., Vatutin E.I. Evaluation of the real performance of Intel Core processors of various generations in the task of multiplying real matrices for single-threaded software implementation. *4-aya mezhdunarodnaya nauchno-tekhnicheskaya konferentsiya*

«*Oblachnye i raspredelemnnye vychislitel'nye sistemy v elektronnom upravlenii*» - *ORVS–2023*: sbornik trudov. Kursk: Izd-vo «Universitetskaya kniga» Publ., 2024. P. 98–100.

10. Vatutin E.I., Titov V.S. Evaluation of the real performance of modern processors in the matrix multiplication problem for single-threaded software implementation using the SSE extension (part 1). *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta*. 2015. V. 1, No. 4 (61). P. 26–35. (In Russ.)

11. Vatutin E.I., Titov V.S. Evaluation of the real performance of modern processors in the matrix multiplication problem for single-threaded software implementation using the SSE extension (part 2). *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta..* 2015. V. 1, No. 5 (62). P. 8–16. (In Russ.)

12. Vatutin E.I., Martynov I.A., Titov V.S. Evaluation of the actual performance of modern graphics cards with support for CUDA technology in the matrix multiplication problem. *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta. Seriya: Upravlenie, vychislitel'naya tekhnika, informatika. Meditsinskoe priborostroenie*. 2014. No. 2. P. 8–17. (In Russ.)

13. Boreskov A.V., Kharlamov A.A. Markovskii N.D. et al. *Parallel'nye vychisleniya na GPU. Arkhitektura i programmnaya model' CUDA* (Parallel computing on the GPU. CUDA Architecture and Software model). Moscow: Izd-vo Moskovskogo universiteta Publ., 2012. 336 p.

14. Starovoitov I.N., Revnyakov E.N., Polyakova E.N. Parallel computing on graphics processors. *Pervaya Mezhdunarodnaya nauchnaya konferentsiya po problemam tsifrovizatsii: EDCRUNCH URAL – 2020*: materialy konferentsii. Ekaterinburg: Izd-vo Ural'skogo universiteta Publ., 2020. P. 314–319.

15. Grebnev A.K., Gridin V.N., Dmitriev V.P. *Optoelektronnyye elementy i ustroystva* (Optoelectronic Elements and Devices). Moscow: Radio i svyaz' Publ., 1998. 336 p.
16. Yushin A.M. *Optoelektronnyye pribory i ikh zarubezhnye analogi. T.1.* (Optoelectronic Devices and Their Foreign Analogues. V.1). Moscow: Radiosoft Publ., 1998. 512 p.
17. Belov P.A., Bespalov V.G., Vasil'ev V.N. et al. *Opticheskie protsessory: dostizheniya i novye idei / V kn.: Problemy kogerentnoi i nelineinoi optiki* (Optical processors: achievements and new ideas. In the book: Problems of coherent and nonlinear optics). Saint Petersburg: Universitet ITMO Publ., 2006. P. 6–36.
18. Plaksienko V.S., Plaksienko N.E., Plaksienko S.V. *Ustroystva priema i obrabotki signalov* (Signal reception and processing devices). Moscow: Uchebno-metodicheskii izdatel'skii tsentr «Uchebnaya literatura» Publ., 2004. 376 p.
19. Odinets A.I., Naumenko A.P. *Tsifrovye ustroystva: ATSP i TSAP* (Digital devices: ADC and DAC). Omsk: Izd-vo IRSID Publ., 2006. 48 p.
20. Kun S. *Matrichnyye protsessory na SBIS* (Matrix processors on VLSI). Moscow: Mir Publ., 1991. 672 p.
21. Strogonov A.V. *Osnovy tsifrovoi obrabotki signalov* (Fundamentals of digital signal processing). Voronezh: Voronezhskii gosudarstvennyi tekhnicheskii universitet Publ., 2014. 310 p.
22. Gvozdeva S.N., Vatutin E.I., Titov V.S. Evaluation of the performance of a device with a systolic structure for multiplying binary matrices. *Telekommunikatsii*. 2020. No. 3. P. 2–10. (In Russ.)

Статья поступила в редакцию 12.03.2025

Одобрена после рецензирования 28.03.2025

Принята к публикации 25.08.2025

The article was submitted on 12.03.2025; approved after reviewing on 28.03.2025; accepted for publication on 25.08.2025