

Научная статья
УДК 004.054
DOI: [10.34759/trd-2022-125-22](https://doi.org/10.34759/trd-2022-125-22)

СРАВНИТЕЛЬНЫЙ АНАЛИЗ ТЕСТОВЫХ СИСТЕМ ПЛИС И ИХ ОКРУЖЕНИЯ

Олег Михайлович Брехов¹, Максим Олегович Ратников²✉

^{1,2}Московский авиационный институт (национальный исследовательский университет),

Москва, Россия

¹obrekhov@mail.ru

²m.o.ratnikov@mail.ru✉

Аннотация. Данная работа посвящена исследованию и анализу используемых в настоящее время тестовых систем ПЛИС и их системного окружения, разработанных как отечественными, так и зарубежными исследователями. Рассмотрено более 30 тестовых систем, основанных на использовании: встроенных структур самотестирования (BIST), специально разработанных систем и систем, частично или полностью использующие целевую прошивку. Рассматриваемые системы применялись для решения различных задач: входной контроль ПЛИС, тестирование коммутационной сети, тестирование отдельных ячеек и встроенных IP-ядер, тестирование системного окружения ПЛИС (внешних соединений ПЛИС и

подсистемы питания), анализ электрических, динамических и функциональных характеристик в различных условиях, поиск одиночных сбоев и отказов. Рассмотрены системы, использованные при исследовании микросхем на стойкость к воздействию лазера, потока заряженных частиц (в том числе исследования в рамках проекта Alice CERN и исследования, проводимые как поставщиками ПЛИС, так и сторонними исследователями для сравнения характеристик различных ПЛИС), накопленной дозы радиации, повышенной температуры и изменения напряжения питания. Также рассмотрены системы и методы, которые применяются для проведения отладки системы на базе ПЛИС. Также в списке рассмотренных тестовых систем присутствуют системы, использованные в качестве демонстратора применения методик анализа энергопотребления, динамических характеристик, надежности и сбоеустойчивости, а также тестирования и разработки систем на основе ПЛИС. Результатом работы является классификация рассмотренных систем, анализ преимуществ и недостатков рассматриваемых систем и предложения по дальнейшему развитию тестовых систем ПЛИС и их системного окружения.

Ключевые слова: СБИС, ПЛИС, тестирование, тестовая система, сбоеустойчивость

Для цитирования: Брехов О.М., Ратников М.О. Сравнительный анализ тестовых систем ПЛИС и их окружения // Труды МАИ. 2022. № 125. DOI: [10.34759/trd-2022-125-22](https://doi.org/10.34759/trd-2022-125-22)

Original article

COMPARATIVE ANALYSIS OF TEST SYSTEMS FOR FPGAS AND THEIR ENVIRONMENT

Oleg M. Brekhov¹, Maksim O. Ratnikov²

^{1,2}Moscow Aviation Institute (National Research University), ✉

Moscow, Russia

¹obrekhov@mail.ru

²m.o.ratnikov@mail.ru ✉

Abstract. This work is devoted to the study and analysis of currently used FPGA test systems and their system environment, developed by both domestic and foreign researchers. More than 30 test systems based on the use of: built-in self-test structures (BIST), specially designed systems and systems that partially or completely use the target firmware are considered. The systems in question were used to solve various tasks: FPGA input control, testing of internal interconnection resources, testing of individual cells and embedded IP cores, testing of the FPGA system environment (external connections of FPGAs and the power subsystem), analysis of electrical, dynamic and functional characteristics in various conditions, search for single failures and failures. The systems used in the study of microcircuits for resistance to laser exposure, the flow of charged particles (including studies within the Alice CERN project and studies conducted by both FPGA suppliers and third-party researchers to compare the characteristics of various FPGAs), the accumulated dose of radiation, elevated temperature and changes in supply voltage are considered. The systems and methods that are used to debug the FPGA-based system are also considered. Also in the list of test systems considered there are systems used as a demonstrator of the

application of methods for analyzing energy consumption, dynamic characteristics, reliability and fault tolerance, as well as testing and developing systems based on FPGAs. The result of the work is a classification of the considered systems, an analysis of the advantages and disadvantages of the considered systems and proposals for the further development of FPGA test systems and their system environment.

Keywords: ASIC, FPGA, testing, test system, fault tolerance

For citation: Brekhov O.M., Ratnikov M.O. Comparative analysis of test systems for FPGAs and their environment. *Trudy MAI*, 2022, no. 125. DOI: [10.34759/trd-2022-125-22](https://doi.org/10.34759/trd-2022-125-22)

1. Введение

В настоящее время решение таких ключевых задач, как навигация и ориентация в пространстве, обработка поступающих данных, обеспечение двусторонней связи, управление ресурсами аппарата и т.д., обеспечивается системами на базе интегральных микросхем. Выбор типа интегральных микросхем, который удовлетворял бы всем условиям, крайне сложен. Сейчас широко используются следующие типы микросхем: СБИС (заказные микросхемы, ASIC), БМК (базовые матричные кристаллы, ULA), ПЛИС (программируемые логические интегральные схемы, FPGA). Все эти микросхемы имеют как преимущества, так и недостатки. Так, например, СБИС обладают хорошими динамическими характеристиками, в зависимости от используемой технологии могут обеспечить высокую надежность, а также обеспечивают высокую эффективную плотность размещения элементов (т.е. предоставляют большее количество аппаратных ресурсов, доступных пользователю,

по сравнению с конкурентами), но при этом они дороги в разработке, а также имеют длительный цикл производства. БМК являются более дешевыми в производстве микросхемами, чем СБИС, но также не позволяют быстро создавать прототипы и вносить в них изменения. ПЛИС обладают меньшей ценой (для малосерийных устройств разница в цене между разработкой специализированной СБИС и системы на базе ПЛИС может отличаться на несколько порядков), более распространены, легко реконфигурируются, позволяют вносить изменения в схему непосредственно на отладочном стенде. Эти качества делают данный тип микросхем крайне перспективным для использования в космических и высотных аппаратах, например, СнК, контроллеров устройств [1] и т.д., а также других областях промышленности, связанных с производством единичных или мелкосерийных устройств с большим количеством разнородных компонентов. Оценке эффективности применения, оценке надежности и сбоеустойчивости ПЛИС для использования в аэрокосмической области и в других областях, связанных с работой в условиях повышенного радиационного воздействия посвящено множество работ, например [2] (общий обзор типов воздействия и методов обеспечения сбоеустойчивости), [3] (разработана методика оценки и проведена оценка ряда ПЛИС), [4], [5] (оценка для проекта “Alice” – для аппарата с продолжительностью рабочего времени в космосе 5-10 лет), [6] (оценка сбоеустойчивости СнК на ПЛИС), [7] (оценка применимости SRAM ПЛИС и методы обеспечения сбоеустойчивости в системе для использования на борту КА с продолжительностью полета 5 лет) и др.

Основным недостатком ПЛИС, по сравнению с ASIC или БМК, можно назвать меньшую надежность и сбоеустойчивость. Поэтому при использовании ПЛИС для решения задач с высокими требованиями к сбое- и отказоустойчивости, необходимо уделить особое внимание обеспечению корректной работы системы в различных условиях. Решение этих задач невозможно без проведения комплексного и всестороннего тестирования функционального описания системы, самой микросхемы ПЛИС и ее системного окружения. В данной работе проводится исследование существующих подходов к тестированию микросхем ПЛИС и их системного окружения.

2. Тестовые системы на основе встроенных блоков самотестирования

2.1 Система оценки нарушений динамики работы ПЛИС, основанная на использовании BIST (BIST-Based Delay-Fault Testing in FPGAs)

В методике, описанной в [8], решается задача проверки динамических характеристик ПЛИС. Такая задача может возникнуть в двух случаях:

- входной контроль ПЛИС, когда нужно точно понять, на какой скорости (частоте) может работать конкретная микросхема (в статье [8] отмечено, что динамические характеристики, указанные в документации на микросхему, не всегда могут соответствовать реальным значениям, так как производитель не может проверить каждую микросхему на 100%);
- контроль в процессе работы, так как из-за деградации динамические характеристики микросхемы могут измениться.

Особенностью методик, основанных на использовании ПЛИС BIST, является то, что в отличие от ASIC, где BIST система может занимать значительную часть микросхемы, в ПЛИС она является «бесплатной», так как она или уже реализована производителем и не требует дополнительных затрат из области доступной пользователю или может быть выполнена с помощью специальной тестовой прошивки, так как свойство реконфигурируемости ПЛИС позволяет пользоваться такой системой только по мере необходимости.

Предлагается BIST система, которая может быть применена как для онлайн тестирования, так и для оффлайн тестирования (на производстве или на уровне системного окружения).

PLB – programmable logic block.

PUT – path under test.

CIP - configurable interconnect points

В процессе разработки тестовой системы необходимо реализовать две одинаковых логических цепочки (в каждой из них должны быть одинаковые логические элементы и одинаковое количество соединений) см. Рис. 1. Далее в процессе тестирования сравнивается одновременность получения от них данных.

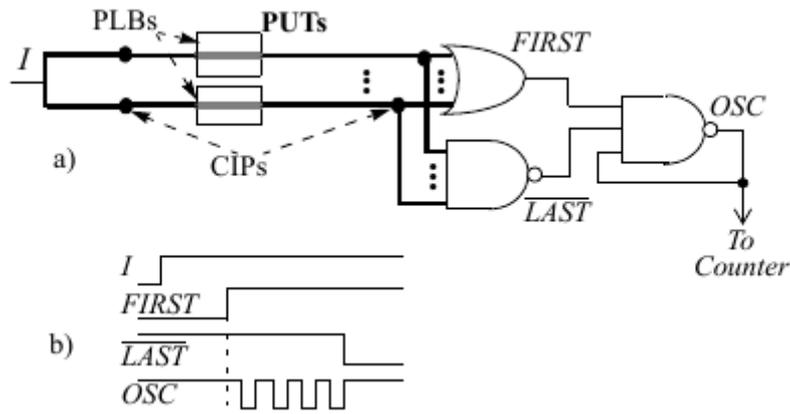


Рис. 1 Тестовая система для проверки динамики работы ПЛИС [8]

В качестве логической нагрузки тестовой системы авторы методики предлагают использование сумматоров в PLB. Пример работы фрагмента такой системы представлен на Рис. 2.

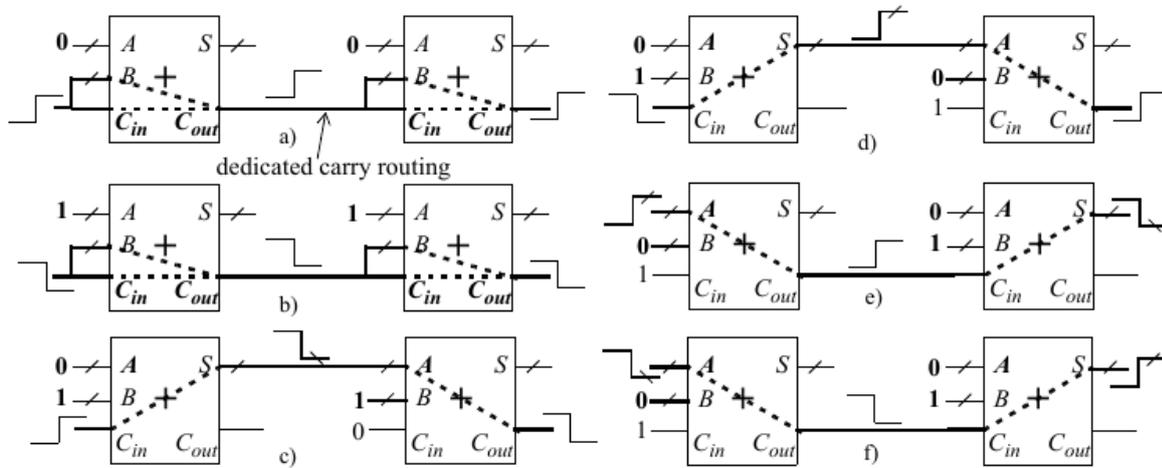


Рис. 2 PLB с сумматорами [8]

Онлайн тестирование основано на использовании концепции «roving STARS» - использование функции частичной реконфигурации ПЛИС на лету. Предлагается в процессе работы ПЛИС, не прерывая основную работу, добавить в неиспользуемую

часть микросхемы предложенную BIST систему, провести тестирование и сделать выводы о состоянии системы.

2.2 Методика тестирования групп встроенных IP-ядер на основе использования BIST (BIST-BASED GROUP TESTING FOR DIAGNOSIS OF EMBEDDED FPGA CORES)

Методика, представленная в [9] , предполагает создание специальной тестовой прошивки, которая проведет тестирование Hard-IP в процессе работы микросхемы. Основной целью проверки являются ядра DSP. Все ядра делятся попарно на группы (возможно несколько таких конфигураций), и для каждой группы создается тестовый блок и коммутационное поле, обеспечивающее подключение и отключение встроенных ядер по мере необходимости, а также набор компараторов для сравнения результатов работы IP-ядер. Внутри каждого из таких тестовых блоков находится конечный автомат (КА), который отрабатывает тестовую программу и выдает результат тестирования.

В процессе тестирования (решения контрольной задачи, задаваемой КА) сравниваются результаты работы ядер. Если компараторы обнаруживают различные результаты, выдаваемые парными ядрами, то проводится дополнительная проверка: или с использованием эталонного результата из тестового блока или после переключения в другую конфигурацию, после чего результаты работы обоих ядер будут сравниваться с результатами работы другой пары ядер. После обнаружения отказавшего IP-ядра оно отключается.

Проведенный авторами методики эксперимент, показал, что накладные расходы на реализацию такой системы не превышают 30%.

2.3 Методика обнаружения отказов в ПЛИС основанных на статической памяти с использованием BIST (Fault Detection and Fault Diagnosis in SRAM-Based FPGA Using BIST)

Методика, предложенная в работе [10], основана на поэлементном тестировании через встроенную систему BIST. Основными типами отказов в ячейке считаются:

1) неисправность при залипании PIP-PS: проходной транзистор не соединяемого PIP-PS включен в локальном соединении;

2) неисправность при заедании PIP-PS: проходной транзистор подключаемого PIP-PS отключен в локальном коммуникационном поле (interconnect);

3) неисправность при залипании MUX-PS: один из проходных транзисторов неселективного MUX-PS включен в локальном коммуникационном поле;

4) ошибка отключения MUX-PS: один из проходных транзисторов селективного MUX-PS отключен в локальном коммуникационном поле;

5) неисправность обрыва провода: происходит отключение любых проводов в глобальном коммуникационном поле;

6) короткое замыкание проводов: между двумя проводами в глобальном соединении возникает перемычка;

7) короткое замыкание PCP-PS: замыкание PIP-PS происходит в направлении, не подлежащем подключению, в PCP-PS сегменте проводов;

8) неисправность обрыва PCP-PS: неисправность залипания PIP-PS возникает в направлении соединения в PCP-PS сегменте проводов;

9) ошибка LUT, залипание на 0: значение ячейки ОЗУ LUT в CLB всегда равно 0;

10) ошибка LUT, залипание на 1: значение ячейки ОЗУ LUT в CLB всегда равно 1;

11) ошибка задержки коммуникационного поля: изменение значения распространяется с одного конца тестируемой ячейки, результат фиксируется с другого конца после окончания заданного времени (период тестового синхросигнала),

где PS – программируемые переключатели (основные конфигурационные элементы в ячейке), CLB - configurable logic blocks – конфигурируемые логические блоки, LUTs - lookup tables – конфигурируемая логическая таблица, MUX – мультиплексоры, PIP-PSs - programmable- interconnect-point PSs – программируемые узлы межсоединений (коммуникационного поля), MUX-PSs – мультиплексоры PS.

Авторами разработан программный генератор конфигураций, который позволяет полностью проверить ячейку.

2.4 Встроенная система самотестирования конфигурационных логических блоков в Virtex-5 (Built-In Self-Test of Configurable Logic Blocks in Virtex-5 FPGAs)

Методика, разработанная в [11], предполагает поэлементное тестирование всех конфигурируемых элементов через JTAG. Предлагается 17 конфигураций для каждой ячейки, позволяющие полностью проверить корректность ее работы, в том числе конфигурационное поле, регистры, узлы коммутации. Тестирование производится через внутреннюю сканирующую цепочку, к которой подключены все ячейки.

2.5 Методика тестирования ПЛИС на основе сдвигового регистра с обратной связью (LFSR TEST PATTERN FOR FAULT DETECTION AND DIAGNOSIS FOR FPGA CLB CELLS)

Методика, представленная в [12] предполагает разработку специализированной тестовой прошивки на основе сдвигового регистра с обратной связью (LFSR).

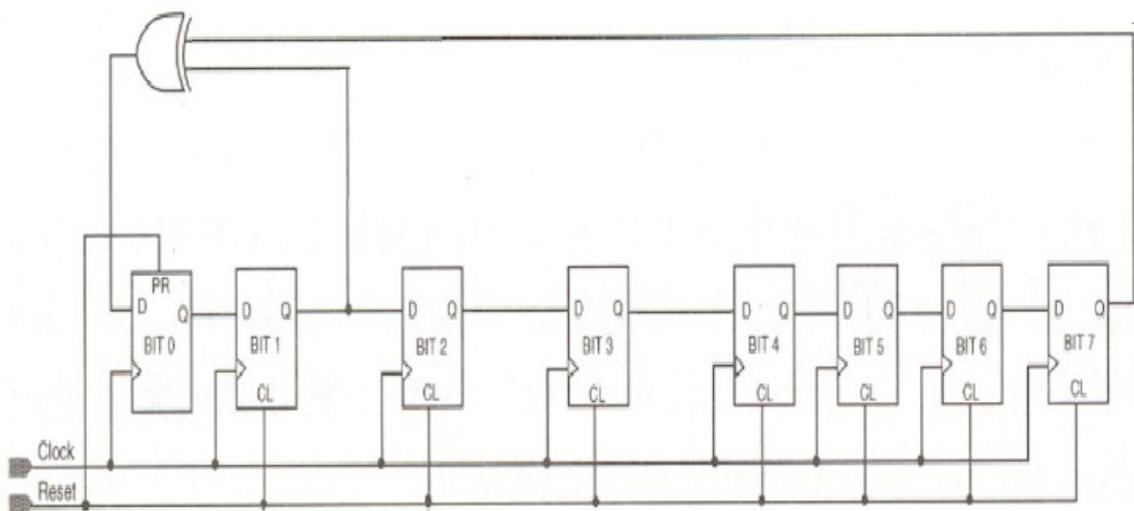


Рис. 3 Сдвиговый регистр с обратной связью [12]

Структурная схема тестовой системы (см.Рис. 3 и Рис. 4)

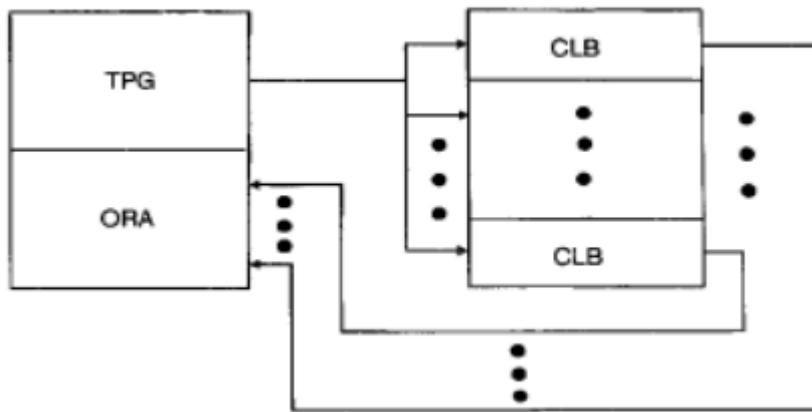


Рис. 4 Структурная схема тестовой системы [12]

TPG – test pattern generator - генератор тестовых воздействий.

ORA – output response analyzer - анализатор выходных данных.

В процессе тестирования генерируется несколько прошивок (конфигураций), проводится тестирование групп элементов, и дальше при наличии сбоев делается вывод о наличии или отсутствии сбоев. Контроль правильности результатов осуществляется с помощью встроенного BIST.

2.6 Тестирование логических блоков ПЛИС с использованием активной репликации (On-line Testing of FPGA Logic Blocks Using Active Replication)

Методика, описанная в [13], предполагает офлайн тестирование незадействованных в данный момент ячеек и онлайн тестирование задействованных. При обнаружении отказа в задействованной ячейке она реплицируется, т.е. ее конфигурация копируется в ближайшую незадействованную ячейку, после чего

производится перекоммутация межсоединений для подключения реплицированной ячейки вместо отказавшей.

Также необходимо решить проблему сохранения внутреннего состояния ячейки, так как во многих ПЛИС нельзя записать значение в регистры ячейки через BIST. При этом нужно учесть, что данные в регистрах могут меняться каждый такт и нельзя допускать записи в регистры в момент между обновлением состояния в реплицированном регистре и его подключения вместо отказавшего. Решением является двухступенчатое подключение новой ячейки: т.е. сначала подключаются входы, потом выходы, потом отключается ячейка с отказом (Рис. 5).

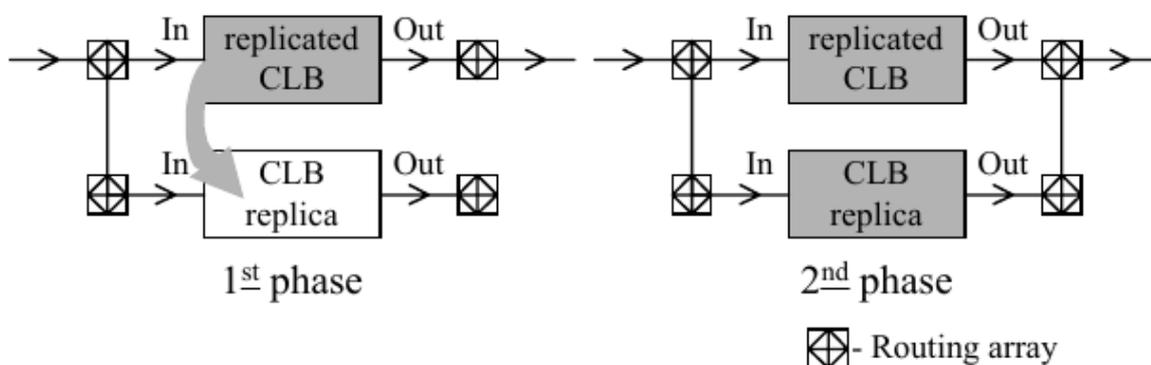


Рис. 5 Двухступенчатое подключение ячейки в системе с активной репликацией [13]

Временное отключение отказавшей ячейки дает возможность для выполнения попытки ее восстановления. Так как в ряде случаев ячейку (CLB) можно восстановить путем исправления ее конфигурации, далее проводится обновление конфигурации ячейки, после чего проверяется корректность работы. Если ячейку восстановить не удалось, она помечается как отказавшая.

Общий вид тестовой системы приведен на Рис. 6.

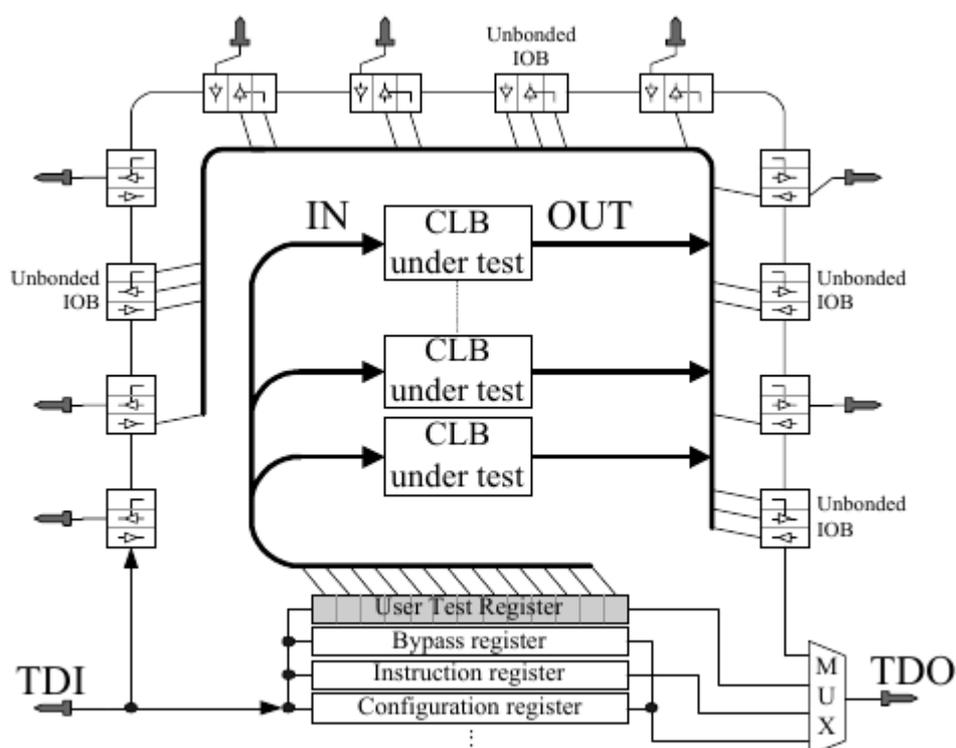


Рис. 6 Общий вид тестовой системы с активной репликацией [13]

Тестирование, изменение и восстановление конфигурации элементов производится через JTAG. Предполагается постоянное тестирование и реконфигурация на лету, без прерывания обработки потока данных (или с минимальным прерыванием обработки потока данных).

2.7 Тестирование отказов соединительных линий в кластерных ПЛИС (Testing and Diagnosis of Interconnect Faults in Cluster-Based FPGA Architectures)

Методика, описанная в [14], предназначена для тестирования и обнаружения отказов в кластерных ПЛИС – т.е. ПЛИС, внутренние ресурсы которых разделены на кластеры (Рис. 7) для упрощения трассировки.

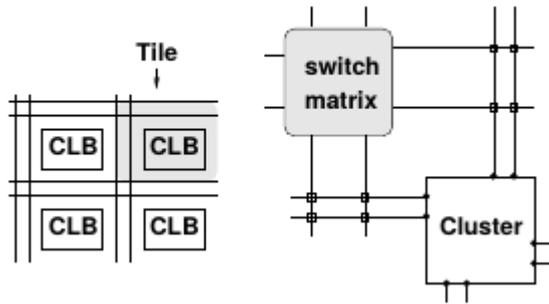


Рис. 7 Упрощенная структура кластерной ПЛИС [14]

В процессе тестирования создается специальная конфигурация для задействованных в тесте конфигурируемых блоков, далее с помощью BIST инстанцируется несколько таких блоков и конфигурируется кольцевая связь между ними (Рис. 8). Далее система запускается и делается вывод о работоспособности данных коммутационных линий.

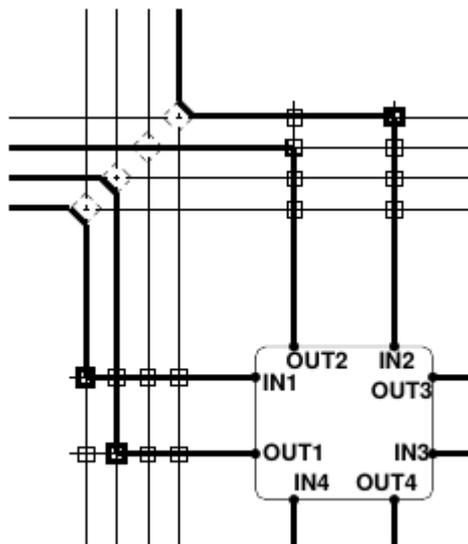


Рис. 8 Тестирующий блок и его подключение к коммутационной сети ПЛИС [14]

2.8 Реализация системы мониторинга тестовых векторов с помощью BIST структур на ПЛИС (FPGA Implementation of Test Vector Monitoring BIST)

В рамках методики, предложенной в [15], разрабатывается BIST-система, которая реализуется на RTL. В качестве тестовой системы используется 4- или 8-битный комбинационный умножитель. С помощью BIST проверяется корректность работы устройства и подаются входные воздействия.

Цель тестирования – обнаружение сбоев во время работы микросхемы.

2.9 Процедура тестирования на сбоеустойчивость в условиях потока ТЗЧ

В работе [16] приведена методика и результаты тестирования сбоеустойчивости ПЛИС Xilinx в условиях воздействия потока ТЗЧ. В процессе тестирования контролировалось только изменение конфигурационных бит ПЛИС, без учета корректности работы прошивки.

2.10 Мониторинг деградации характеристик микросхемы (In-Field Monitoring of Device Degradation for Predictive Maintenance)

В работе [17] приведена методика и результаты оценки изменения динамических характеристик ПЛИС Altera Cyclone IV в результате деградации микросхемы вследствие воздействия высокой температуры. В качестве тестовой системы использована схема осциллятора.

2.11 Тестирование LUT в ПЛИС на основе статического ОЗУ с помощью BIST (BIST-based Testing and Diagnosis of LUTs in SRAM-based FPGAs)

В работе [18] предложена методика тестирования ПЛИС с помощью BIST системы, предназначенная для проведения входного контроля и проверки функциональности. В качестве тестовой системы предложен 4-хбитный счетчик.

3. Тестовые системы на основе специально разработанных функциональных описаний

3.1 Системы для проверки отдельных элементов и коммуникационной сети

3.1.1 Методика диагностики отказов ПЛИС, зависящая от приложения (Application-Dependent Diagnosis of FPGAs)

В работе [19] решается задача диагностики отказов коммутационного пространства и логических ячеек. Обнаруживаются любые одиночные отказы. Количество тестовых конфигураций для диагностики межсоединений логарифмически зависит от размера исследуемого проекта, в то время как логическая диагностика выполняется только в одной тестовой конфигурации.

Предлагается методика для дополнения тестирования производителя и обнаружения отказов в сбоеустойчивых системах. Решаемая задача – точно локализовать отказ и воспользоваться свободными ресурсами так, чтобы его обойти. Тестирование производится во время работы системы, но с подачей специальных тестовых векторов, что накладывает ограничения на длительность тестирования. Авторы методики обращают внимание на то, что длительность загрузки

конфигураций значительно превосходит время подачи тестовых векторов. Также отмечается, что методика может быть расширена для поиска множественных отказов.

Методика предполагает проверку линий межсоединений попарной передачей одинаковых или инверсных пар (А и \sim А) значений на, соответственно, прямой и инверсный входы. Там, где значения в результате будут отличаться от ожидаемых – предполагается отказ коммутационной сети. Разрабатывается несколько специальных тестовых прошивок, в которых логические таблицы в ячейках конфигурируются по принципу «все-И», «все-ИЛИ» (в этом случае возможна установка ячейки со всеми И в конце цепочки для проверки корректности тестирования) и двух комбинаций «И-ИЛИ».

В процессе тестирования подается несколько наборов значений таким образом, чтобы проверить все линии межсоединений на передачу и 0, и 1. Аналогично проверяется и «залипание» в коммутационной сети и регистрах в логических ячейках.

Для Xilinx Virtex II проверка коммуникационной сети потребовала от 30 до 60 тестовых прошивок в зависимости от объема ПЛИС.

Для проверки регистров разрабатывалась еще одна прошивка – на основе двоичного счетчика и вычислений битов четности-нечетности (разработаны блоки compactor в терминологии авторов для получения ответа pass/fail).

3.1.2 Методика программно-аппаратной коверификации ПЛИС (A HW/SW Co-Verification Technique for FPGA Test)

Методика, описанная в [20], основана на использовании специального устройства, обеспечивающего подключение ПЛИС к инструментальному ПК. Устройство подключается к компьютеру по интерфейсу PCI. Структура системного окружения тестовой системы и схема программно-аппаратного взаимодействия показаны, соответственно, на Рис. 9 и Рис. 10.

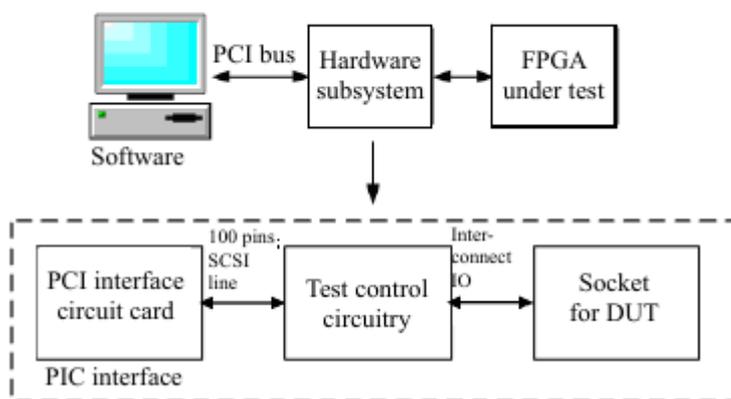


Рис. 9 Структура системного окружения тестовой системы [20]

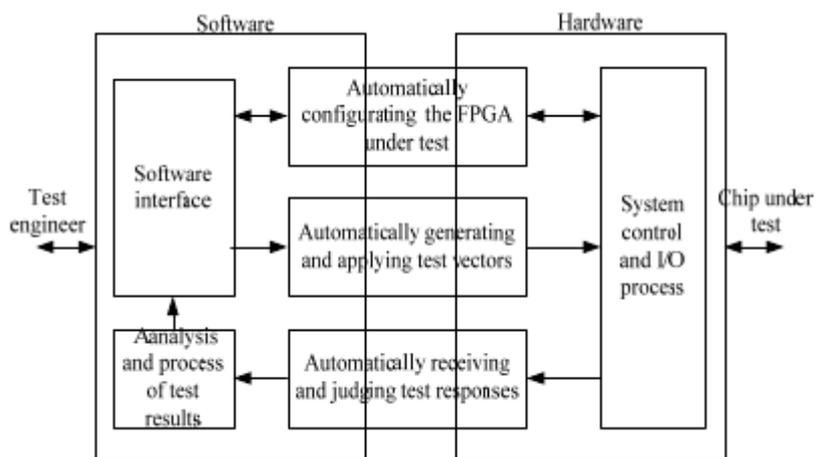


Рис. 10 Схема программно-аппаратного взаимодействия [20]

Во время работы на инструментальном ПК создаются тестовые прошивки и моделируется ожидаемое поведение микросхемы. Далее через DPI полученные данные выгружаются из симулятора и через PCI загружаются на микросхему. Разработано специальное ПО, которое позволяет проводить тестирование в автоматическом режиме, т.е.:

- автоматически генерируется прошивка для ПЛИС;
- автоматически генерируются тестовые вектора;
- полученные вектора и ожидаемые отклики на них загружаются на ПЛИС;
- результаты автоматически анализируются и собираются в отчет.

В статье предложена тестовая система на основе сдвигового регистра. Триггеры регистра по сбросу устанавливаются через один в 0 и 1 (например, 0-й триггер в «0», 1-й – в «1», 2-й – в «0», 3-й – в «1» и т.д.). После окончания конфигурации запускается синхросигнал, сдвиговый регистр начинает передавать данные. Тестовая система на каждом такте сверяет получаемые данные и ожидаемые. При обнаружении сбоя тестирование останавливается, выдается сообщение об ошибке.

3.1.3 Методика тестирования динамически реконфигурируемых ПЛИС (Testing and Diagnosing Dynamic Reconfigurable FPGA)

В рамках методики, описанной в [21], разрабатываются специальные тестовые прошивки для проверки конфигурируемых ячеек и внутреннего коммутационного пространства. Для тестирования используется частичная реконфигурация ПЛИС с чисто комбинационными цепями и последовательным тестированием всех

задействованных в цепи логических блоков (входные и выходные данные при этом передаются через входы и выходы ПЛИС). Пример такой системы приведен на рисунке Рис. 11 (CUT – тестируемая логическая ячейка, Вурасс – ячейка, входящая в состав комбинационной цепи, но работающая «на проход»).

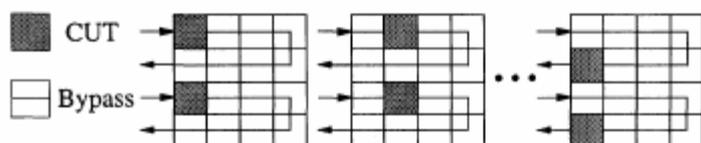


Рис. 11 Упрощенная схема логической цепочки, используемой для тестирования ячеек и междодинений [21]

3.2 Системы для обнаружения сбоев и отказов в ПЛИС и их системном окружении в результате негативного внешнего воздействия

3.2.1 Использование детерминированных тестовых векторов для тестирования ПЛИС (Using deterministic test vectors to test FPGA circuit)

В работе [22] предлагается методика, которая основана на использовании специального внутреннего генератора тестовых воздействий COMPASS для подачи исходных входных данных и эталонных выходных в специально разработанную тестовую систему. Тестовая система основана на сумматоре чисел плавающей запятой. Сравнивается его работа с ATPG на сценариях обычной работы и внесения сбоев.

3.2.2. Проверка качества монтажа и функционирования электронных печатных плат

В статье [23] предлагается метод контроля качества монтажа ПЛИС на системную плату, основанный на использовании тестовой прошивки, обеспечивающей связь между входами и выходами ПЛИС.

Предложен следующий алгоритм: на все входы микросхемы подается входной вектор, сформированный таким образом, что в любой момент времени в нем только один бит равен «1», а все остальные равны «0». На выходах ПЛИС генерируется значение, позволяющее однозначно определить номер входа, на котором в данный момент установлено значение «1».

Данный метод позволяет выявлять следующие возможные неисправности:

- обрыв внешних соединений ПЛИС на печатной плате ЦЭУ;
- замыкание внешних соединений ПЛИС на линию питания;
- перепутывания внешних соединений ПЛИС;
- короткое замыкание внешних соединений ПЛИС между собой.

3.2.3 Программный пакет для оценки вероятности появления одиночных сбоев в ПЛИС на базе статической памяти (A software solution to estimate the SEU-induced soft error rate for systems implemented on SRAM- based FPGAs)

В работе [24] предложена методика оценки вероятности одиночных сбоев в ПЛИС на базе статической памяти, которая основана на использовании программного пакета, разработанного авторами методики.

В качестве тестовой системы использовались:

- 16-битный триггер-защелка;
- сдвиговый регистр 1024x16;
- два линейных сдвиговых регистра, два блока умножения с накоплением и два FIFO.

3.2.4 Методика оценки вероятности отказа ПЛИС на основе статического ОЗУ с помощью сетей стохастической активности (Failure probability of SRAM-FPGA systems with Stochastic Activity Networks)

В статье [25] описывается вычисление вероятности сбоев в ПЛИС с помощью Stochastic Activity Networks. В рамках данного алгоритма создается направленный граф, в котором определяется 4 типа вершин: входные элементы, выходные элементы, переключения и ячейки.

В качестве тестовой системы для построения математической модели и имитационного моделирования используется генератор CRC.

3.2.5 Тестирование ПЛИС на базе статического ОЗУ в условиях воздействия потока ионов (Ion beam testing of SRAM-based FPGA's)

В работе [26] представлены результаты тестирования ПЛИС Altera EPF10K100 на стойкость к воздействию ионного пучка. Тестовая система – 4 сдвиговых регистра, в два из которых имплементирована система обеспечения сбоеустойчивости на основе трехкратного резервирования представлена на Рис. 12. Результаты работы

защищенных (с имплементированной системой обеспечения сбоеустойчивости) и незащищенных регистров сравниваются на каждом такте.

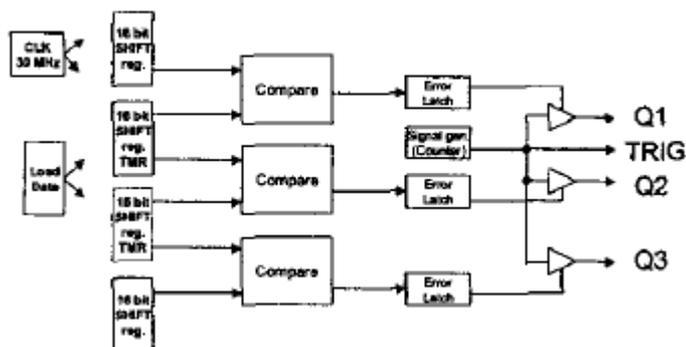


Рис. 12 Структура тестовой системы с четырьмя сдвиговыми регистрами [26]

3.2.6 Тестирование ПЛИС разных типов в условиях воздействия ТЗЧ (Single Events Effects Test Results for Advanced Field Programmable Gate Arrays)

В работе [27] представлены результаты тестирования ПЛИС на устойчивость к появлению одиночных сбоев в условиях воздействия потока ТЗЧ трех микросхем разных типов: основанной на flash (Actel ProAsic), на статической памяти (Altera Stratix II) и с фиксированной конфигурацией (Altera Hard Copy).

В качестве тестовой системы была использована система на основе сдвигового регистра.

3.2.8 Схемы обеспечения сбоеустойчивости и надежности для эффективной реализации комплексного деления по схеме Radix-4 (Reliable and Fault-Resilient Schemes for Efficient Radix-4 Complex Division)

В работе [28] продемонстрировано применение схем обеспечения сбоеустойчивости вычислительной системы на базе ПЛИС. Используются следующие тестовые системы:

- умножитель Голуба (Golub's Multiplier);
- набор регистров с битом контроля четности в каждом из них;
- схема адресации и выбора данных из ROM;
- сумматор с сохранением переноса.

3.2.8 Улучшение сбоеустойчивости ПЛИС с помощью фрагментарного трехкратного резервирования (Improving FPGA design robustness with partial TMR)

В работе [29] предложена методика улучшения сбоеустойчивости разработанного устройства на базе ПЛИС за счет выявления наиболее чувствительных и критичных к сбоям триггеров и их троирования. При таком подходе ресурсов затрачивается меньше, чем при полносистемном троировании. В работе проводился анализ следующих тестовых систем:

- DSP ядро;
- синтетическая система, реализованная на основе сдвигового регистра с обратной связью;
- умножитель;

- счетчик.

3.2.9 Функциональный контроль с использованием специализированной тестовой прошивки

В работе [30] предложена методика построения специализированных масштабируемых тестовых систем для проведения анализа сбоеустойчивости ПЛИС в условиях радиационного воздействия. Проведено тестирование 5 ПЛИС разных производителей. Предложены тестовые системы на основе сдвигового регистра и на основе многоразрядного счетчика.

4 Тестовые системы на основе полного или частичного целевого функционального описания

4.1 Тестирование ПЛИС Altera в рамках проекта Alice

Описание эксперимента в CERN по анализу сбоеустойчивости ПЛИС в условиях воздействия потока ТЗЧ в рамках проекта Alice [5].

Используемая тестовая система представлена на Рис. 13.

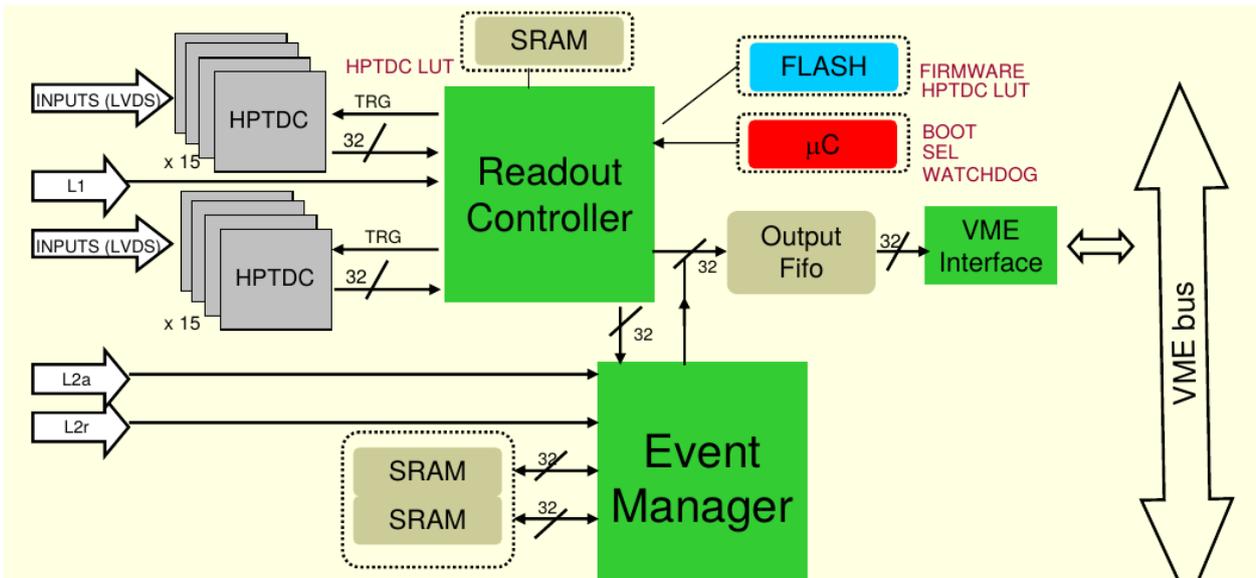


Рис. 13 Структурная схема СнК на базе ПЛИС [5]

Системное окружение исследуемой ПЛИС представлено на Рис. 14 .

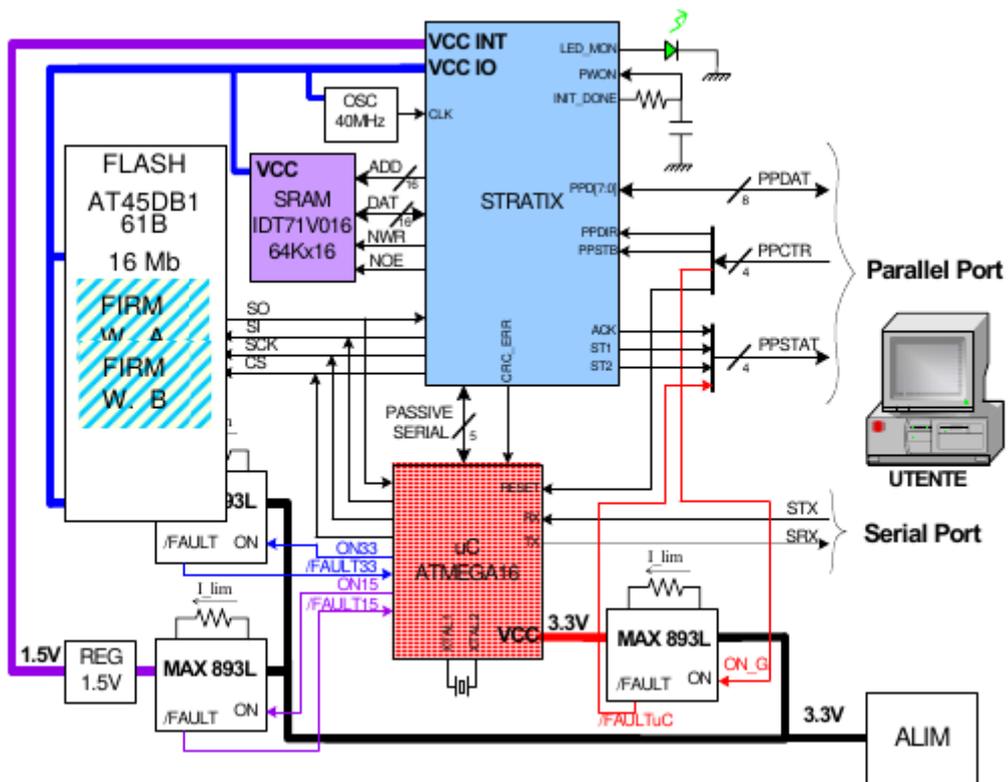


Рис. 14 Системное окружение тестируемой ПЛИС [5]

В данном случае можно говорить об использовании целевой функциональной системы или ее фрагмента. Сбои проверялись двумя способами:

- сдвиговый регистр внутри ПЛИС;
- постоянный контроль конфигурационных бит;
- контроль за изменением энергопотребления (как проявления эффекта защелкивания) с помощью сторонней микросхемы (здесь Atmel Atmega 16).

4.2 Методология разработки сбоеустойчивого процессора на базе ПЛИС (A Fault Tolerant Design Methodology for a FPGA-based Softcore Processor)

В работе [31] предложена методология обеспечения сбоеустойчивости процессора с использованием троирования и мажорирования. В качестве тестовой системы используется процессор M²μP (архитектура RISC, 4 стадии конвейера с отдельной кэш-памятью для данных и команд).

4.3 Программное окружение для разработки и оптимизации СнК на базе ПЛИС для аэрокосмических применений. (A framework for evaluating and optimizing FPGA-based SoCs for aerospace computing)

В работе представлена методология разработки и анализа сбоеустойчивости системы. В рамках методики после окончания разработки целевого функционального описания проводится синтез в аппаратный базис всех ПЛИС, участвующих в

исследовании, после чего проводится оценка энергопотребления и вероятности появления сбоя.

Целевая система – обработчик изображений HSI(hyperspectral-imaging) – мнوسпектрального зондирования поверхности планеты на борту спутника.

4.4 Тестирование Altera Stratix EP1S25 (ALTERA STRATIX™ EP1S25 FIELD-PROGRAMMABLE GATE ARRAY (FPGA))

В работе [32] представлены результаты тестирования ПЛИС ALTERA STRATIX™ EP1S25 на сбоеустойчивость в условиях воздействия ТЗЧ. В качестве тестовой системы используются фрагменты целевой системы (процессор, контроллер UART).

Для контроля используется дополнительная плата (Altera DUT Monitoring Board), которая обеспечивает контроль передачи данных через UART, изменения напряжение линии GND (в случае появления эффекта защелкивания напряжение должно измениться) и признак корректности CRC прошивки. По запросу проводится чтение SRAM внутри ПЛИС.

4.5. Тестирование системы, основанной на ПЛИС, с использованием логического анализатора ChipScope™ (Testing FPGA based digital system using XILINX ChipScope™ logic analyzer)

В работе [33] предлагается методика тестирования основанных на ПЛИС систем с использованием Xilinx ChipScope™. ChipScope™ – это логический анализатор,

который может быть добавлен в ПЛИС Xilinx. Структурная схема такой системы представлена на Рис. 15 .

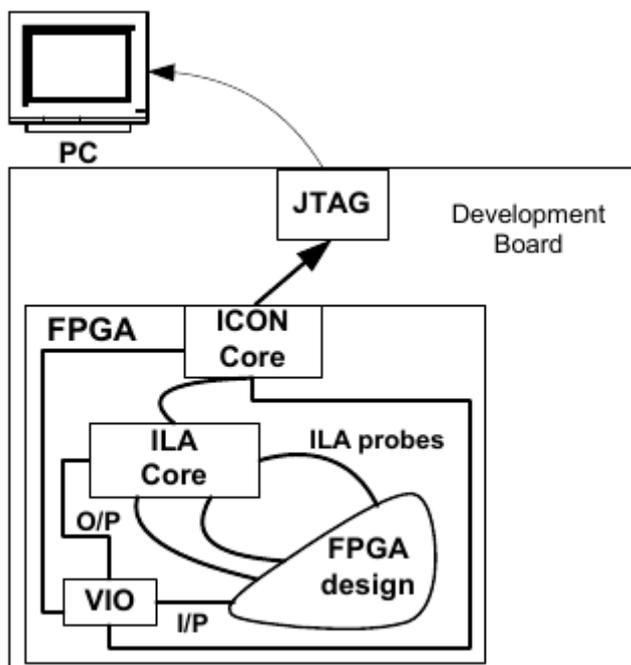


Рис. 15 Структурная схема ПЛИС и ее системного окружения при использовании логического анализатора [33]

ChipScore позволяет отслеживать изменения сигналов, сохранять их значение в течении заданного количества отсчетов, останавливать и запускать вычисление, выводить полученные данные на инструментальный ПК, а также устанавливать на внутренних линиях ПЛИС данные, передаваемые с инструментального ПК.

В состав ChipScore входят:

ILA – integrated logic analyzer - может быть встроен в конструкцию ПЛИС для сбора данных при выполнении условий запуска. Размер данных, целевые сигналы и базовая архитектура триггера могут быть легко изменены на этапе проектирования.

ICON – integrated control – блок управления встроенными в ПЛИС ILA и VIO. Обеспечивает взаимодействие между ними и инструментальным ПК через интерфейс JTAG.

VIO - основной инструмент для добавления виртуальных входов и выходов в HDL-проекты. Виртуальные входы и выходы могут быть синхронизированы с определенным тактовым сигналом или быть полностью асинхронными по отношению к любому тактовому домену в проекте.

Взаимодействие с ChipScore осуществляется через JTAG.

В качестве примера в работе показано тестирование контроллера SPI и контроллера SRAM с помощью ChipScore.

4.6 Механизмы обеспечения сбоеустойчивости для системы сравнения регулярных выражений, реализованной на базе ПЛИС (Fault Tolerance Mechanisms for FPGA-Based Regular Expression)

В работе [34] представлен метод обеспечения сбоеустойчивости конфигурационной памяти ПЛИС, используемых для ответственных применений. Характерной особенностью предлагаемого метода является значительно уменьшенные затраты аппаратных ресурсов на реализацию системы обеспечения сбоеустойчивости по сравнению с классическим N-кратным резервированием. Также в данном подходе к обеспечению сбоеустойчивости предлагается введение механизма оценки критичности сбоя, так как в ряде задач ложноположительное сообщение о сбое не менее опасно, чем пропущенный сбой. Примером таких систем

являются анализаторы регулярных выражений, используемые во многих областях, например, в сетевых коммутаторах. Структурная схема такой системы приведена на Рис. 16.

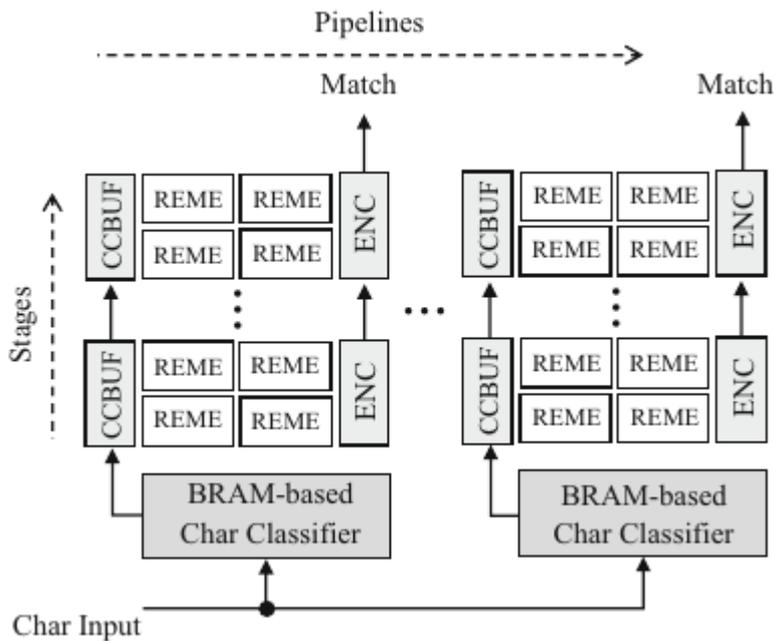


Рис. 16 Структурная схема системы для сравнения регулярных выражений [34]

В статье проведен синтез трех систем с разными подходами к обеспечению сбоеустойчивости, в качестве тестовой системы был использован блок сравнения регулярных выражений.

4.7 Тестовая система для оценки возможности атаки на шифратор AES (Glitch and Laser Fault Attacks onto a Secure AES Implementation on a SRAM-Based FPGA)

В работе [35] проведена оценка возможности проведения атаки на шифратор AES. В качестве тестовой системы используется система, состоящая из шифратора AES, генератора ключей, двух конечных автоматов для загрузки, выгрузки и

сравнения данных. Тестовая система обладает аппаратно-временной избыточностью: данные вычисляются несколько раз со сравнением результатов, отдельные регистры продублированы, выполняется контроль состояний и переходов конечных автоматов.

В процессе тестирования проводилась оценка поведения системы при двух различных типах атак: на основе изменения напряжения питания микросхемы и на основе воздействия лазера на микросхему. После проведения атаки оценивалось состояние системы, считывались все внутренние переменные и сравнивались с эталонным.

4.8 Оценочная платформа для тестирования сбоеустойчивой методологии электромеханических систем (The Evaluation Platform for Testing Fault-Tolerance Methodologies in Electro-mechanical Applications)

В работе [6] представлена методика оценки различных подходов к обеспечению сбоеустойчивости систем, основанных на ПЛИС, предназначенных для управления электромеханическими системами.

В качестве примера рассматривается несколько тестовых систем. Первичная проверка предлагаемого способа оценки проводилась на блоках ОЗУ, размещенных в ПЛИС, без использования какой-либо логики.

Далее проверка проводилась на простой тестовой системе, в состав которой входит двухвходовой мультиплексор, сумматор и счетчик.

Далее была проверена система с КА.

Финальная проверка проводилась на целевой системе. Структурная схема этой системы представлена на Рис. 17.

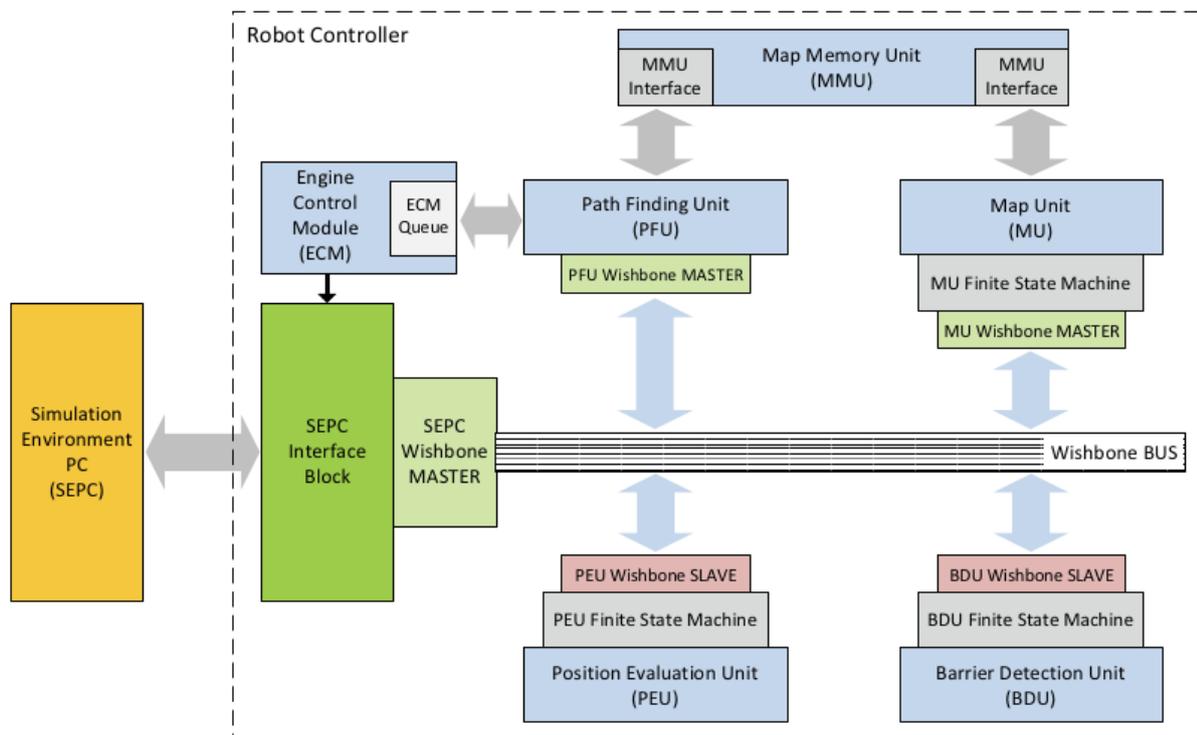


Рис. 17 Структурная схема СнК управления электромеханической системой [6]

При тестировании целевой системы были определены инстанции, появление сбоя в которых считалось более критичным, после чего проводилось тестирования и оценивались последствия внесенного сбоя.

Выводы

В данной работе было рассмотрено более 30 различных тестовых систем ПЛИС, применяемых для различных целей.

Условно, все рассмотренные системы можно разделить на следующие группы:

- по типу системы:

- с использованием отладочных структур ПЛИС:
 - BIST подсистемы ПЛИС;
 - Встроенного логического анализатора (Xilinx ChipScope, Altera SignalTap и т.д.);
- на основе специально разработанного функционального описания:
 - специальные синтетические тестовые структуры для проверки соединений;
 - на основе двоичного счетчика;
 - сдвиговые регистры;
 - регистры;
 - генератор CRC;
 - сумматоры, в том числе с накоплением и сохранением переноса;
 - умножители, в том числе с накоплением;
- на основе полного или частичного целевого функционального описания;
- по назначению:
 - для входного тестирования ПЛИС;
 - для подтверждения тех или иных характеристик ПЛИС;
 - для детекции и обнаружения сбоев и отказов.

Общим для всех рассмотренных систем свойством можно назвать узкую специализацию – все они разрабатываются для решения одной конкретной задачи (например, приемного тестирования, поиска сбоев, подтверждения характеристик) и практически не пригодны для решения каких-либо других.

Системы на основе отладочных структур ПЛИС позволяют очень точно выявлять наличие отказов, но имеют ряд недостатков:

- требуют наличия поддержки этих структур на системной плате и на инструментальном ПК;

- могут быть неприменимы для систем с высокими требованиями к надежности и сбоеустойчивости, так как несвоевременное или некорректное включение отладочного режима может прервать вычисление или даже вывести микросхему из строя.

Также, есть ряд недостатков, характерных только для систем с использованием логических анализаторов (ЛА):

- установка ЛА в микросхему требует значительного количества ресурсов прямо пропорциональных глубине записи данных и количеству отслеживаемых линий;

- установка ЛА затрудняет трассировку микросхемы и негативно влияет на динамические характеристики итоговой системы;

- изменения в настройках ЛА, такие как добавление или удаление отслеживаемых сигналов, изменение глубины буфера для хранения накопленных данных и т.д., приводят к необходимости регенерации прошивки ПЛИС.

Значительная часть тестовых систем, созданных на основе специально разработанного функционального описания и большинство систем на основе полного или частичного целевого функционального описания, не могут гарантировать корректную обработку множественных сбоев в регистрах системы (одно из немногих исключений – тестовая система на основе CRC).

При этом важно отметить, что различные тестовые системы, созданные на основе сдвиговых регистров или конвейеров, используются очень широко, так как сочетают простоту реализации, масштабируемость и могут работать на частотах, сопоставимых с частотами целевой системы.

Тестовые системы на основе целевых функциональных описаний имеют ряд преимуществ:

- не требуют разработки дополнительных устройств и функциональных описаний тестовых систем;

- позволяют больше времени выделить на работу с целевым устройством.

Но также имеют недостатки:

- не гарантируют защиту от серых сбоев [36], и, соответственно, не гарантируют точности оценки сбоеустойчивости микросхемы;

- не позволяют быстро менять количество занятых тестовой системой ресурсов;

- задерживают начало тестирования ПЛИС и ее окружения, так как требуется сначала разработать целевую прошивку.

В данной работе исследованы и проанализированы используемые в настоящее время тестовые системы ПЛИС. Сделаны выводы о преимуществах и недостатках различных подходов к разработке подобных тестовых систем, представленные в современных трудах как отечественных, так и зарубежных исследователей, и инженеров.

Список источников

1. Матафонов Д.Е. Создание и обработка маршрутизатора в стандарте SpaceWire на отечественной программируемой логической интегральной схеме // Труды МАИ. 2018. № 103. URL: <https://trudymai.ru/published.php?ID=100780>
2. Муллов К.Д. Воздействие космической радиации на цифровые устройства на базе ПЛИС и методы повышения радиационной стойкости данных систем // Труды МАИ. 2016. № 87. URL: <https://trudymai.ru/published.php?ID=69720>
3. Nicholas Wulf, Alan D. George, Ann Gordon-Ross. A Framework for Evaluating and Optimizing FPGA-Based SoCs for Aerospace Computing // ASM Transactions on Reconfigurable Technology Systems, 2016, vol. 10-1. DOI: [10.1145/2888400](https://doi.org/10.1145/2888400)
4. Cheynis B., Ducroux L., Grossiord J.-Y., Guichard A., Pillot P. et al. Radiation effects on V0 detector elements // Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2006, vol. 569, issue 3, pp. 732-736. DOI: [10.1016/j.nima.2006.09.086](https://doi.org/10.1016/j.nima.2006.09.086)
5. Andrea Alici, Antonioli P., Mati A., Meneghini S., Pieracci M. et al. Radiation tests of key components of the ALICE TOF Tdc Readout Module // Proceedings of 10th Workshop on Electronics for LHC Experiments and future Experiments, Boston, 13-17 September 2004.
6. Jakub Podivinsky, Ondrej Cekan, Marcela Simkova, Zdenek Kotasek. The Evaluation Platform for Testing Fault-Tolerance Methodologies in Electro-mechanical Applications // 2014 Proceeding of the 17th Euromicro Conference on Digital System Design, 2014, pp. 312-319. DOI: [10.1109/DSD.2014.57](https://doi.org/10.1109/DSD.2014.57)

7. van Harten L.D., Mousavi M., Jordans R., Pourshaghghi H.R. Determining the Necessity of Fault Tolerance Techniques in FPGA Devices for Space Missions // *Microprocessors and Microsystems*, 2018, no. 63, pp. 1-10. DOI: [10.1016/j.micpro.2018.08.001](https://doi.org/10.1016/j.micpro.2018.08.001)
8. Abramovici M., Stroud C.E. BIST-Based Delay-Fault Testing in FPGAs // *Journal of Electronic Testing*, 2003, vol. 19, pp. 549–558. URL: <https://doi.org/10.1023/A:1025126030727>
9. Alireza Sarvi, Carthik A. Sharma, Ronald F. DeMara. BIST-BASED Group Testing for Diagnosis of Embedded FPGA Cores // *Proceedings of the 2008 International Conference on Embedded Systems & Applications*, July 14-17 2008, Las Vegas, Nevada, USA.
10. Latha M., Senthilmurugan M. Fault Detection and Fault Diagnosis in SRAM-Based FPGA Using BIST // *Computer Science, Engineering*, 2012, vol. 2, no. 4, pp. 609-614.
11. Bradley F. Dutton, Charles E. Stroud. Built-In Self-Test of Configurable Logic Blocks in Virtex-5 FPGAs // *41st Southeastern Symposium on System Theory*, 2009. DOI: [10.1109/SSST.2009.4806778](https://doi.org/10.1109/SSST.2009.4806778)
12. Fazal Noorbasha, K. Harikishore, Ch. Hemanth, A. Sivasairam, V. Vijaya Raju. LFSR Test pattern for fault detection and diagnosis for FPGA clb cells // *International Journal of Advances in Engineering & Technology*, March 2012, vol. 3 (1), pp. 240-246.
13. Manuel G. Gericota, Gustavo R. Alves, Miguel L. Silva, José M. Ferreira. On-line Testing of FPGA Logic Blocks Using Active Replication // *Norwegian Computer Science Conference (NIK'02)*, Kongsberg, Norway, November 2002, URL: <https://www.researchgate.net/publication/228854731>

14. Ian G. Harris, Russell Tessier. Testing and Diagnosis of Interconnect Faults in Cluster-Based FPGA Architectures // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, IEEE Xplore, 2002, vol. 21(11), pp. 1337–1343. DOI: [10.1109/TCAD.2002.804108](https://doi.org/10.1109/TCAD.2002.804108).
15. J.L.V. Ramana Kumari, M. Asha Rani, N. Balaji, V. Sirisha. FPGA Implementation of Test Vector Monitoring BIST Architecture System // Conference paper «Microelectronics, Electromagnetics and Telecommunications», December 2016. DOI: [10.1007/978-81-322-2728-1_67](https://doi.org/10.1007/978-81-322-2728-1_67).
16. Akhmetov A.O., Sorokoumov G.S., Smolin A.A. et al. Proton Accelerator's Direct Ionization Single Event Upset Test Procedure // Proceedings IEEE 31st International Conference ON Microelectronics (MIEL), Niš, Serbia, September, 16-18, 2019, pp. 107-113.
17. Yasuo Sato. In-Field Monitoring of Device Degradation for Predictive Maintenance. VLSI Design and Test for Systems Dependability, Springer Japan KK, 2019, pp 224.
18. Hadi Jahanirad, Hanieh Karam. BIST-based Testing and Diagnosis of LUTs in SRAM-based FPGAs // Emerging Science Journal, 2017, vol. 1, no. 4, pp. 216-225.
19. Mehdi Baradaran Tahoori. Application-Dependent Diagnosis of FPGAs // Proceeding of 2004 International Conference on Test, 2004. DOI: [10.1109/TEST.2004.1387002](https://doi.org/10.1109/TEST.2004.1387002).
20. Yong-Bo Liao, Ping Li, Ai-Wu Ruan, Yi-Wen Wang, Wen-Chang Li. A HW/SW Co-Verification Technique for FPGA Test // Journal of Electronic Science and Technology of China, 2009, vol. 1, no. 4, pp. 390-394.

21. Chi-Feng Wu, Cheng-Wen Wu. Testing and Diagnosing Dynamic Reconfigurable FPGA // Computer Science, 2000, vol. 10, no. 3, pp. 321-333. DOI: [10.1155/2000/79281](https://doi.org/10.1155/2000/79281).
22. Martin Rozkovec, Jiri Jenicheck, Zdenek Pliva. Using deterministic test vectors to test FPGA circuit // Proceedings of the 2013 IEEE 16th International Symposium on Design and Diagnostics of Electronic Circuits & Systems, 2013. pp. 175-180.
23. Зыкав Д., Ковригин В. Об одном подходе к снижению трудоемкости на этапе проверки функционирования электронных устройств на ПЛИС // Компоненты и технологии. 2004. № 3 (38). С. 168-170.
24. Wang Zhongming, Yao Zhibin, Guo Hongxia, Lü Min. A software solution to estimate the SEU-induced soft error rate for systems implemented on SRAM-based FPGAs // Computer Science, 2011, vol. 32, no. 5, pp. 1-8. URL: <https://doi.org/10.1088/1674-4926/32/5/055008>
25. Cinzia Bernardeschi, Luca Cassano and Andrea Domenici. Failure probability of SRAM-FPGA systems with Stochastic Activity Networks // Proceeding of the 14th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems, 2011. DOI: [10.1109/DDECS.2011.5783098](https://doi.org/10.1109/DDECS.2011.5783098).
26. M. Menichelli, A. Papi, Jeffery Wyss. Ion beam testing of SRAM-based FPGA's // 6th European Conference: Proceeding of the «Radiation and Its Effects on Components and Systems», 2001. DOI: [10.1109/RADECS.2001.1159326](https://doi.org/10.1109/RADECS.2001.1159326)
27. Gregory R. Allen, Gary M Swift, Single Event Effects Test Results for Advanced Field Programmable Gate Arrays // 2006 IEEE Radiation Effects Data Workshop, 2006, pp. 115-120. DOI: [10.1109/REDW.2006.295478](https://doi.org/10.1109/REDW.2006.295478)

28. Niranjana Manoharan. Reliable and Fault-Resilient Schemes for Efficient Radix-4 Complex Division // Computer Science, 2014.
29. Brian Pratt, Michael Caffrey, Paul Graham, Keith Morgan, Michael Wirthlin. Improving FPGA Design Robustness with Partial TMR // 2006 IEEE International Reliability Physics Symposium Proceedings, 2006, pp. 226-232. DOI: [10.1109/RELPHY.2006.251221](https://doi.org/10.1109/RELPHY.2006.251221).
30. Бобровский Д.В. Методы и средства прогнозирования стойкости ПЛИС к воздействию радиационных факторов космического пространства: дисс. канд. техн. наук. – М.: МИФИ, 2011.
31. P. Garcia, T. Gomes, F. Salgado, J. Cabral, P. Cardoso, M. Ekpanyapong, A. Tavares. A Fault Tolerant Design Methodology for a FPGA-based Softcore Processor // Proceedings of the 1st IFAC Conference on Embedded Systems, Computational Intelligence and Telematics in Control - CESCIT, Würzburg, Germany, 2012.
32. A.B. Sanders, K.A. LaBel, C. Poivey, Joel A. Seely. Altera Stratix EP1S25 Field-Programmable Gate Array (FPGA) // NASA/GSFC at 2005 MAPLD Conference, Washington, 2005, NASA, Washington DC, USA.
33. Khalil Arshak, Essa Jafer, and Christian Ibala. Testing FPGA based digital system using XILINX ChipScope™ logic analyzer // 29th International Spring Seminar on Electronics Technology, 2006, pp. 355-360. DOI: [10.1109/ISSE.2006.365129](https://doi.org/10.1109/ISSE.2006.365129).
34. Marcos T. Leipnitz, Gabriel L. Nazar, Fault Tolerance. Mechanisms for FPGA-Based Regular Expression Matching // Journal of Electronic Testing, 2018, vol. 34, pp. 487–506.

35. Canivet G., Maistri P., Leveugle R. et al. Glitch and Laser Fault Attacks onto a Secure AES Implementation on a SRAM-Based FPGA // *Journal of Cryptology*, 2011, vol. 24, no. 2, pp. 247–268.

36. Осипенко П.Н., Антонов А.А., Левадский С.А. Исследование архитектурной чувствительности к сбоям с использованием метода статистического внесения сбоев // Программные продукты и системы. 2010. Т. 4. С. 12-15.

References

1. Matafonov D.E. *Trudy MAI*, 2018, no. 103. URL: <https://trudymai.ru/eng/published.php?ID=100780>

2. Mullov K.D. *Trudy MAI*, 2016, no. 87. URL: <https://trudymai.ru/eng/published.php?ID=69720>

3. Nicholas Wulf, Alan D. George, Ann Gordon-Ross. A Framework for Evaluating and Optimizing FPGA-Based SoCs for Aerospace Computing, *ASM Transactions on Reconfigurable Technology Systems*, 2016, vol. 10-1. DOI: [10.1145/2888400](https://doi.org/10.1145/2888400)

4. Cheynis B., Ducroux L., Grossiord J.-Y., Guichard A., Pillot P. et al. Radiation effects on V0 detector elements, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 2006, vol. 569, issue 3, pp. 732-736. DOI: [10.1016/j.nima.2006.09.086](https://doi.org/10.1016/j.nima.2006.09.086)

5. Andrea Alici, Antonioli P., Mati A., Meneghini S., Pieracci M. et al. Radiation tests of key components of the ALICE TOF Tdc Readout Module, *Proceedings of 10th Workshop*

on Electronics for LHC Experiments and future Experiments, Boston, 13-17 September 2004.

6. Jakub Podivinsky, Ondrej Cekan, Marcela Simkova, Zdenek Kotasek. The Evaluation Platform for Testing Fault-Tolerance Methodologies in Electro-mechanical Applications, *2014 Proceeding of the 17th Euromicro Conference on Digital System Design*, 2014, pp. 312-319. DOI: [10.1109/DSD.2014.57](https://doi.org/10.1109/DSD.2014.57)

7. van Harten L.D., Mousavi M., Jordans R., Pourshaghghi H.R. Determining the Necessity of Fault Tolerance Techniques in FPGA Devices for Space Missions, *Microprocessors and Microsystems*, 2018, no. 63, pp. 1-10. DOI: [10.1016/j.micpro.2018.08.001](https://doi.org/10.1016/j.micpro.2018.08.001)

8. Abramovici M., Stroud C.E. BIST-Based Delay-Fault Testing in FPGAs, *Journal of Electronic Testing*, 2003, vol. 19, pp. 549–558. URL: <https://doi.org/10.1023/A:1025126030727>

9. Alireza Sarvi, Carthik A. Sharma, Ronald F. DeMara. BIST-BASED Group Testing for Diagnosis of Embedded FPGA Cores, *Proceedings of the 2008 International Conference on Embedded Systems & Applications*, July 14-17 2008, Las Vegas, Nevada, USA.

10. Latha M., Senthilmurugan M. Fault Detection and Fault Diagnosis in SRAM-Based FPGA Using BIST, *Computer Science, Engineering*, 2012, vol. 2, no. 4, pp. 609-614.

11. Bradley F. Dutton, Charles E. Stroud. Built-In Self-Test of Configurable Logic Blocks in Virtex-5 FPGAs, *41st Southeastern Symposium on System Theory*, 2009. DOI: [10.1109/SSST.2009.4806778](https://doi.org/10.1109/SSST.2009.4806778)

12. Fazal Noorbasha, K. Harikishore, Ch. Hemanth, A. Sivasairam, V. Vijaya Raju. LFSR Test pattern for fault detection and diagnosis for FPGA clb cells, *International Journal of Advances in Engineering & Technology*, March 2012, vol. 3 (1), pp. 240-246.
13. Manuel G. Gericota, Gustavo R. Alves, Miguel L. Silva, José M. Ferreira. On-line Testing of FPGA Logic Blocks Using Active Replication, *Norwegian Computer Science Conference (NIK'02)*, Kongsberg, Norway, November 2002, URL: <https://www.researchgate.net/publication/228854731>
14. Ian G. Harris, Russell Tessier. Testing and Diagnosis of Interconnect Faults in Cluster-Based FPGA Architectures, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, IEEE Xplore, 2002, vol. 21(11), pp. 1337–1343. DOI: [10.1109/TCAD.2002.804108](https://doi.org/10.1109/TCAD.2002.804108).
15. J.L.V. Ramana Kumari, M. Asha Rani, N. Balaji, V. Sirisha. FPGA Implementation of Test Vector Monitoring BIST Architecture System, *Conference paper «Microelectronics, Electromagnetics and Telecommunications»*, December 2016. DOI: [10.1007/978-81-322-2728-1_67](https://doi.org/10.1007/978-81-322-2728-1_67).
16. Akhmetov A.O., Sorokoumov G.S., Smolin A.A. et al. Proton Accelerator's Direct Ionization Single Event Upset Test Procedure, *Proceedings IEEE 31st International Conference ON Microelectronics (MIEL)*, Niš, Serbia, September, 16-18, 2019, pp. 107-113.
17. Yasuo Sato. *In-Field Monitoring of Device Degradation for Predictive Maintenance. VLSI Design and Test for Systems Dependability*, Springer Japan KK, 2019, pp 224.

18. Hadi Jahanirad, Hanieh Karam. BIST-based Testing and Diagnosis of LUTs in SRAM-based FPGAs, *Emerging Science Journal*, 2017, vol. 1, no. 4, pp. 216-225.
19. Mehdi Baradaran Tahoori. Application-Dependent Diagnosis of FPGAs, *Proceeding of 2004 International Conference on Test*, 2004. DOI: [10.1109/TEST.2004.1387002](https://doi.org/10.1109/TEST.2004.1387002).
20. Yong-Bo Liao, Ping Li, Ai-Wu Ruan, Yi-Wen Wang, Wen-Chang Li. A HW/SW Co-Verification Technique for FPGA Test, *Journal of Electronic Science and Technology of China*, 2009, vol. 1, no. 4, pp. 390-394.
21. Chi-Feng Wu, Cheng-Wen Wu. Testing and Diagnosing Dynamic Reconfigurable FPGA, *Computer Science*, 2000, vol. 10, no. 3, pp. 321-333. DOI: [10.1155/2000/79281](https://doi.org/10.1155/2000/79281).
22. Martin Rozkovec, Jiri Jenicheck, Zdenek Pliva. Using deterministic test vectors to test FPGA circuit, *Proceedings of the 2013 IEEE 16th International Symposium on Design and Diagnostics of Electronic Circuits & Systems*, 2013. pp. 175-180.
23. Zykav D., Kovrigin V. *Komponenty i tekhnologii*, 2004, no. 3 (38), pp. 168-170.
24. Wang Zhongming, Yao Zhibin, Guo Hongxia, Lü Min. A software solution to estimate the SEU-induced soft error rate for systems implemented on SRAM-based FPGAs, *Computer Science*, 2011, vol. 32, no. 5, pp. 1-8. URL: <https://doi.org/10.1088/1674-4926/32/5/055008>
25. Cinzia Bernardeschi, Luca Cassano and Andrea Domenici. Failure probability of SRAM-FPGA systems with Stochastic Activity Networks, *Proceeding of the 14th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems*, 2011. DOI: [10.1109/DDECS.2011.5783098](https://doi.org/10.1109/DDECS.2011.5783098).

26. M. Menichelli, A. Papi, Jeffery Wyss. Ion beam testing of SRAM-based FPGA's, *6th European Conference: Proceeding of the «Radiation and Its Effects on Components and Systems»*, 2001. DOI:[10.1109/RADECS.2001.1159326](https://doi.org/10.1109/RADECS.2001.1159326)
27. Gregory R. Allen, Gary M Swift. Single Event Effects Test Results for Advanced Field Programmable Gate Arrays, *2006 IEEE Radiation Effects Data Workshop*, 2006, pp. 115-120. DOI: [10.1109/REDW.2006.295478](https://doi.org/10.1109/REDW.2006.295478)
28. Niranjana Manoharan. Reliable and Fault-Resilient Schemes for Efficient Radix-4 Complex Division, *Computer Science*, 2014.
29. Brian Pratt, Michael Caffrey, Paul Graham, Keith Morgan, Michael Wirthlin. Improving FPGA Design Robustness with Partial TMR, *2006 IEEE International Reliability Physics Symposium Proceedings*, 2006, pp. 226-232. DOI: [10.1109/RELPHY.2006.251221](https://doi.org/10.1109/RELPHY.2006.251221).
30. Bobrovskii D.V. *Metody i sredstva prognozirovaniya stoikosti PLIS k vozdeistviyu radiatsionnykh faktorov kosmicheskogo prostranstva* (Methods and means of prediction the FPGAs tolerance to the effects of space factors), Doctor's thesis, Moscow, MIFI, 2011.
31. P. Garcia, T. Gomes, F. Salgado, J. Cabral, P. Cardoso, M. Ekpanyapong, A. Tavares. A Fault Tolerant Design Methodology for a FPGA-based Softcore Processor, *Proceedings of the 1st IFAC Conference on Embedded Systems, Computational Intelligence and Telematics in Control - CESCIT*, Würzburg, Germany, 2012.
32. A.B. Sanders, K.A. LaBel, C. Poivey, Joel A. Seely. Altera Stratix EP1S25 Field-Programmable Gate Array (FPGA), *NASA/GSFC at 2005 MAPLD Conference*, Washington, 2005, NASA, Washington DC, USA.

33. Khalil Arshak, Essa Jafer, and Christian Ibala. Testing FPGA based digital system using XILINX ChipScope™ logic analyzer, *29th International Spring Seminar on Electronics Technology*, 2006, pp. 355-360. DOI: [10.1109/ISSE.2006.365129](https://doi.org/10.1109/ISSE.2006.365129).
34. Marcos T. Leipnitz, Gabriel L. Nazar, Fault Tolerance. Mechanisms for FPGA-Based Regular Expression Matching, *Journal of Electronic Testing*, 2018, vol. 34, pp. 487–506.
35. Canivet G., Maistri P., Leveugle R. et al. Glitch and Laser Fault Attacks onto a Secure AES Implementation on a SRAM-Based FPGA, *Journal of Cryptology*, 2011, vol. 24, no. 2, pp. 247–268.
36. Osipenko P.N., Antonov A.A., Levadskii S.A. *Programmnye produkty i sistemy*, 2010, vol. 4, pp. 12-15.

Статья поступила в редакцию 02.07.2022

Статья после доработки 04.07.2022

Одобрена после рецензирования 17.07.2022

Принята к публикации 25.08.2022

The article was submitted on 02.07.2022; approved after reviewing on 17.07.2022; accepted for publication on 25.08.2022