

Научная статья  
УДК 004.272.45  
URL: <https://trudymai.ru/published.php?ID=182672>

## **РЕКОНФИГУРИРУЕМЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ НА БАЗЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ РЕШЕНИЯ КРУПНОМАСШТАБНЫХ СЛОЖНЫХ ЗАДАЧ**

**Сергей Степанович Шевелев<sup>1</sup>, Дмитрий Борисович Борзов<sup>2</sup>✉,  
Вячеслав Порфирьевич Добрица<sup>3</sup>**

<sup>1,2,3</sup>Юго-Западный государственный университет, (ЮЗГУ),

Курск, Россия

<sup>1</sup>[schewelew@mail.ru](mailto:schewelew@mail.ru)

<sup>2</sup>[borzovdb@mail.ru](mailto:borzovdb@mail.ru) ✉

<sup>3</sup>[dobritsa@mail.ru](mailto:dobritsa@mail.ru)

***Аннотация.*** Реконфигурируемая модульная асинхронная система включает в себя арифметико-символьный процессор, специализированные вычислительные модули и систему коммутаций для выполнения арифметических и логических операций, а также обработку информации в символьной форме. В системе используются специализированные модули для создания параллельных ветвей вычислений с функциональной специализацией устройств. Вычислительные системы с перестраиваемой структурой базируются на микропроцессорных модулях, обрабатывающие строки символов, логические и числовые значения. Представлен информационный граф вычислительной системы с перестраиваемой структурой,

структурные и функциональные схемы, алгоритмы для построения специализированных модулей, осуществляющие различные операции, такие как арифметические и логические операции, поиск и замена в словах. Также было создано программное обеспечение для моделирования работы арифметико-символьного процессора, специализированных вычислительных модулей и систем коммутаций. В результате был разработан арифметико-символьный процессор, специализированные вычислительные модули и системы коммутаций, реализующие вычислительную модульную систему с перестраиваемой структурой. Арифметико-символьный процессор выполняет основные арифметические и логические операции, а специализированные модули могут использоваться в качестве аппаратных средств в арифметических и поисковых системах. Перестраиваемая структура обеспечивает высокую производительность системы за счет адаптации к вычислительным процессам и задачам, а открытость системы позволяет создавать системы различной производительности путем изменения количества модулей.

**Ключевые слова:** информационный граф, вычислительная система, специализированные вычислительные модули, сумматоры, вычитатели, логические операции

**Для цитирования:** Шевелев С.С., Борзов Д.Б., Добрица В.П. Реконфигурируемые вычислительные системы на базе программируемых логических интегральных схем для решения крупномасштабных сложных задач // Труды МАИ. 2024. № 138. URL: <https://trudymai.ru/published.php?ID=182672>

Original article

## RECONFIGURABLE COMPUTING SYSTEMS BASED ON PROGRAMMABLE LOGIC INTEGRATED CIRCUITS FOR SOLVING LARGE-SCALE COMPLEX TASKS

Sergey S. Shevelev<sup>1</sup>, Dmitry B. Borzov<sup>2</sup>✉, Vyacheslav P. Dobritsa<sup>3</sup>

<sup>1,2,3</sup>South-Western State University,

Kursk, Russia

<sup>1</sup>[schewelew@mail.ru](mailto:schewelew@mail.ru)

<sup>2</sup>[borzovdb@mail.ru](mailto:borzovdb@mail.ru)✉

<sup>3</sup>[dobritsa@mail.ru](mailto:dobritsa@mail.ru)

**Abstract.** The reconfigurable modular asynchronous system includes an arithmetic-character processor, specialized computing modules and a switching system for performing arithmetic and logical operations, as well as processing information in symbolic form. The system uses specialized modules to create parallel branches of computing with functional specialization of devices. Computer systems with a tunable structure are based on microprocessor modules that process strings of characters, logical and numeric values. The information graph of a computational system with a tunable structure, structural and functional schemes, algorithms for building specialized modules performing various operations such as arithmetic and logical operations, search and exchange in words are presented. Software was also created to simulate the operation of an arithmetic-character processor, specialized computing modules and. The final programming of the architecture

of reconfigurable computing systems includes the creation of functional nodes for performing calculations, setting up direct information channels in switches between elementary processors, setting up distributed memory blocks to implement procedures for reading and writing information arrays. Hardware and software tools of reconfigurable computing systems make it possible to synthesize arbitrary connections between system components, creating the necessary computing structures. Using the principle of reconfigurability of the algorithm during its execution allows you to achieve the following goals: the use of high-performance computing platforms, ensuring modularity, mobility, high reliability, the possibility of rebuilding hardware and software devices, as well as the invariance of algorithms relative to the hardware platform.

**Keywords:** information graph, computing system, specialized computing modules, adders, subtractors, logical operations

**For citation:** Shevelev S.S., Borzov D.B., Dobritsa V.P. Reconfigurable computing systems based on programmable logic integrated circuits for solving large-scale complex tasks.

*Trudy MAI*, 2024, no. 138. URL: <https://trudymai.ru/eng/published.php?ID=182672>

## Введение

Концепция создания реконфигурируемых вычислительных систем заключается в реализации аппаратной части для выполнения всех операций, указанных в вершинах информационного графа задачи, всех каналов передачи данных между вершинами, соответствующим дугам графа, и всех информационных каналов, связанных с входными и выходными вершинами. Это позволяет выполнять задачу, определенную информационным графом, максимально быстро благодаря максимальному параллелизму вычислений. Большой информационный граф

разбивается на фрагменты - отдельные базовые подграфы, которые могут быть реализованы в аппаратуре реконфигурируемых вычислительных систем.

Главными вычислительными блоками в реконфигурируемой вычислительной системе являются макропроцессоры, которые выполняют операции, определенные узлами информационного графа. Макропроцессор представляет собой набор простейших процессоров, объединенных в единый программно-неделимый ресурс с использованием локального пространственного коммутатора. Для реализации информационного графа задачи требуется, чтобы макропроцессоры могли быть объединены в вычислительные параллельно-конвейерные структуры с помощью системного коммутатора, который предоставляет различные варианты соединения между макропроцессорами.

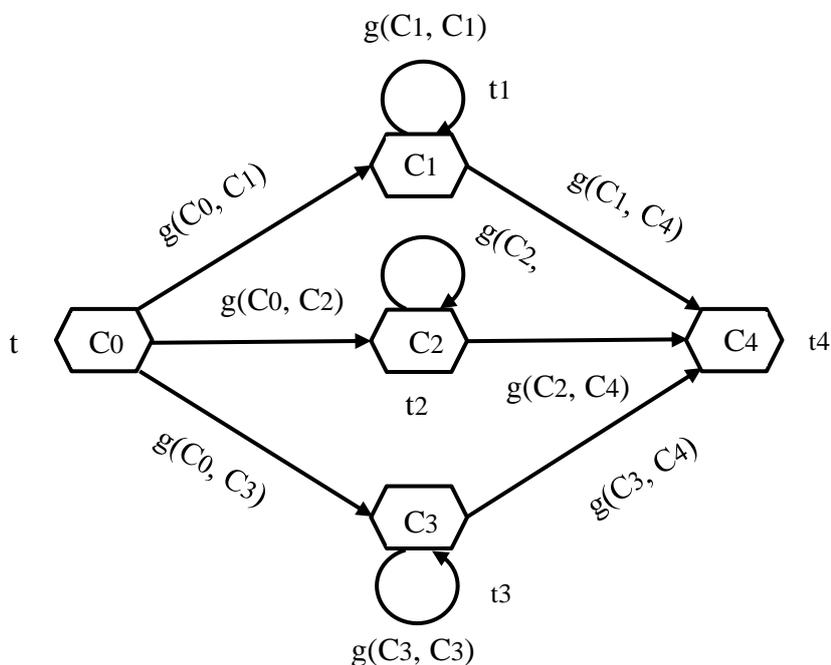


Рисунок 1 - Информационный граф вычислительной модульной системы

В комплектацию системы входит распределенная память, которая обеспечивает возможность параллельной передачи массивов входных данных на входы макропроцессоров и записи результатов вычислений с их выходов [1].

### 1. Предлагаемый метод решения задачи

На рисунке 1 представлен граф вычислительного модуля  $Q(C,G)$ . Он состоит из вершин  $c_i \in C$ , каждая из которых связана с результатом  $t_i$ , принадлежащим к допустимым значениям результатов. Дуги  $g(c_i, c_{i+1}) \in G$  определяют последовательность выполнения операций, задаваемую вершинами графа. Если две вершины  $C_i$  и  $C_{i+1}$  соединены дугой  $g(c_i, c_{i+1})$ , это указывает на то, что результат операции  $t_i$  используется в качестве входных данных для операции  $t_{i+1}$ , соответствующей вершине  $c_{i+1}$ . Блок входных данных определяет множество входных дуг  $g(c_{0i}, c_i)$ . Множество вершин  $C$  определяет ассоциированное множество микропроцессоров вычислительного модуля [2].

Рёбра графа  $g$  являются каналами связи между процессорами. Основная цель потоковой обработки заключается в преобразовании входного потока векторов  $V_x(x = 1, 2, \dots, M)$  в выходной поток векторов  $W_x < w_1^x, w_2^x, \dots, w_b^x > (i = 1, 2, \dots, M)$  в соответствии с графом алгоритма  $Q(C,G)$ .

Модульная вычислительная система включает в себя арифметико-символьный процессор, специализированные вычислительные модули и систему коммутации. Прежде чем разрабатывать операционные автоматы и управляющие алгоритмы, необходимо создать единый дескриптивный аппарат, в рамках которого будет определен необходимый терминологический базис [3].

В структуру модуля системы входят оперативная память для хранения информации, коммутационная система и блок управления, что делает его автономным и полноценным вычислительным блоком.

На рисунке 2 представлена структура вычислительного процесса модульной системы. Система включает в себя следующие компоненты: арифметико-символьный процессор АСП, которому обеспечивается связь с другими устройствами благодаря коммутационной системе. Процессор и специализированные вычислительные модули соединены между собой шинными формирователями и электронными ключами СКПМ, которые обеспечивают двустороннюю передачу информации между блоками. Между специализированными модулями системы также обеспечивается связь с помощью коммутационной системы СКММ. Среди специализированных модулей выделяются следующие: МОД1 выполняет арифметические операции, МОД2 выполняет операции по символьной обработке, и МОД3 вычисляет логические и арифметические операции [4].

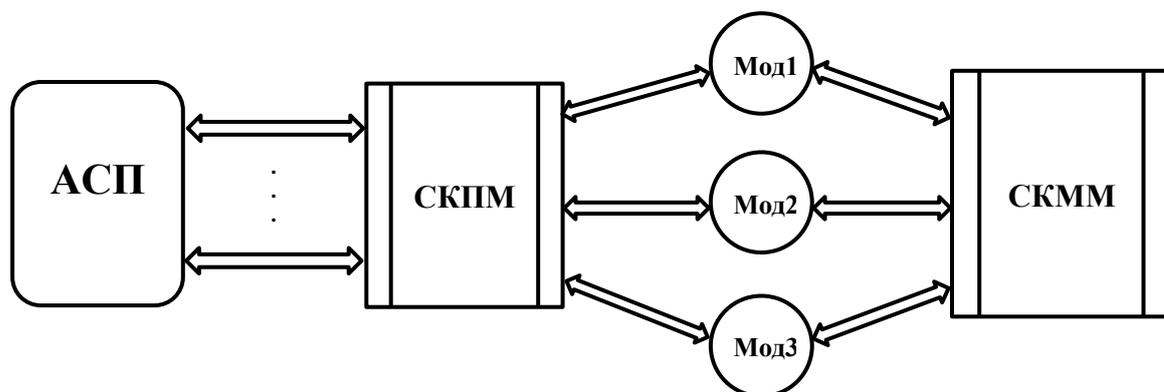


Рисунок 2 - Граф вычислительного процесса модульной системы

Применение микропроцессорных модулей в перестраиваемой вычислительной системе повышает скорость выполнения арифметических операций за счет внедрения конвейеризации и использования параллелизма при обработке данных, а также применения алгоритмов, которые приводят к быстродействующим комбинационным схемам и требуют минимального числа циклов. Для повышения надежности работы системы используется дублирование и резервирование каналов передачи информации. Система коммутаций обеспечивает динамически перестраиваемую программируемую архитектуру на основе реконфигурируемой элементной базы.

Основные вычислительные блоки в реконфигурируемой вычислительной системе представлены макропроцессорами. В структуру системы входит оперативное запоминающее устройство, которое обеспечивает одновременную передачу массивов входных данных на входы макропроцессоров и сохранение результатов вычислений с их выходов [5, 6].

Специализированный вычислительный модуль Мод1 осуществляет выполнение арифметических операций сложения и вычитания на элементах нейронной логики в прямом коде.

Блок арифметических операций  $C_1$ , выполняет микрооперации  $R = \{R_{12}, R_{13}\}$ , к ним относятся: суммирования  $R_{12} = \sum_{i=1}^n (a_i b_i) = (a_{n-1} + b_{n-1})p^{n-1} + (a_{n-2} + b_{n-2})p^{n-2} + \dots + (a_1 + b_1)p^1 + (a_0 + b_0)p^0$ , вычитания  $R_{13} = \sum_{i=1}^n (a_i - b_i) = (a_{n-1} - b_{n-1})p^{n-1} - (a_{n-2} - b_{n-2})p^{n-2} - \dots - (a_1 - b_1)p^1 - (a_0 - b_0)p^0$ , в формате с фиксированной запятой.

Принципиальная схема коммутации и сумматора-вычитателя в прямых кодах изображена на рисунке 4. На вход модуля поступают двоичные числа длиной  $n$

разрядов, а также сигнал СВ, который определяет выполнения арифметической операции суммирования или вычитания. При значении сигнала СВ, равном нулю, модуль выполняет операцию сложения двоичных чисел, а при значении единицы — поразрядное вычитание [7, 8].

На вход каждой схемы сумматора-вычитателя поступают соответствующие двоичные разряды чисел  $A_i$  и  $B_i$ , сигнал операции суммирования или вычитания СВ, перенос  $P_{i-1}$  из младших разрядов в старшие и заём  $Z_{i+1}$  из старших разрядов в младшие. Знаковые разряды первого ЗнР А и второго ЗнР В чисел подаются на схему определения знака результата. На вход этой схемы поступает сигнал суммирования или вычитания СВ, а также сигнал заём из знакового разряда ЗмЗнР, который поступает с выхода первого сумматора-вычитателя СУМ-ВЫЧ1, выполняющий арифметические операции со старшими разрядами входных чисел.

Принципиальная схема определения знака результата представлена на рисунке 3. Сигнал заём из знакового разряда ЗмЗнР определяется при разности двоичных чисел.

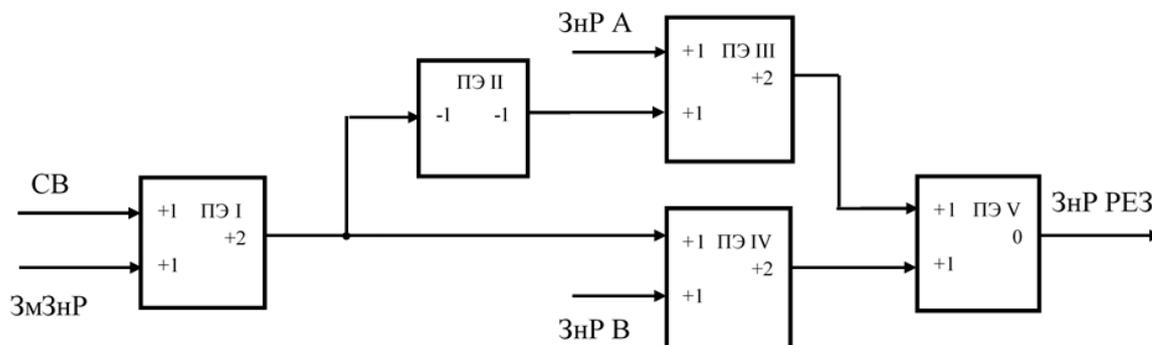


Рисунок 3 - Принципиальная схема определения знака результата

Если этот сигнал равен нулю, то первое двоичное число по модулю больше второго, и в этом случае не требуется менять местами входные числа. Если сигнал  $Z_{m3nP}$  равен единице, то происходит вычитание большего числа из меньшего, и для получения разности необходимо поменять местами входные числа. Результат операции РЕЗ является знаковым разрядом большего при вычитании числа.

На рисунке 4 представлена схема коммутации и сумматора-вычитателя. Схема коммутации меняет местами входные двоичные разряды при выполнении операции вычитания, если от меньшего по модулю числа вычитается большее, вследствие которого формируется сигнал заёма из знакового разряда первого числа  $Z_{m3nP}$ .

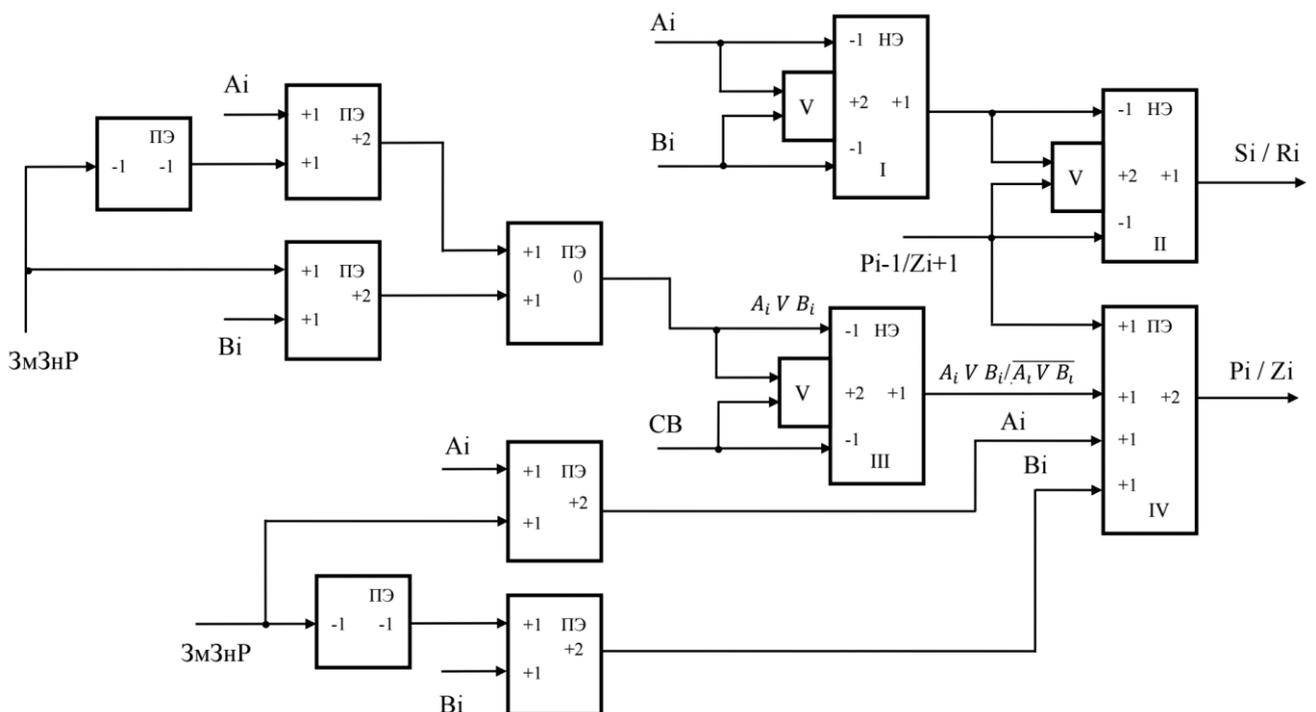


Рисунок 4 - Принципиальная схема коммутации и одноразрядного сумматора-вычитателя

После анализа этого сигнала и выполнения перестановки чисел вследствие этого от большего второго числа по модулю вычитается меньшее первое.

Сумма  $S_i$  и разность  $R_i$  двоичных разрядов вычисляется на нейроподобном элементе НЭ II по формуле:

$$S_i / R_i = (P_{i-1} / Z_{i+1}) \oplus A_i \oplus B_i \quad (1)$$

На входы нейроподобного элемента НЭ III поступают двоичные разряды  $A_i$  или  $B_i$ , т.е. разряд большего по модулю числа при выполнении операции вычитания и сигнал суммирования или вычитания СВ. В процессе выполнения операции сложения нейроподобный элемент НЭ III выполняет функцию повторителя, который формирует выходной сигнал  $A_i$  либо  $B_i$  согласно следующей формуле  $(A_i / B_i) \oplus 0 = A_i / B_i$ .

В процессе выполнения операции вычитания этот же элемент осуществляет операцию инверсии, и на выходе инвертора определяется сигнал  $\overline{A_i / B_i}$  по формуле:

$$(A_i / B_i) \oplus 1 = \overline{A_i / B_i}. \quad (2)$$

При выполнении операции сложения пороговый элемент ПЭ IV определяет перенос  $P_i$  из младшего разряда в старший согласно формуле:

$$P_i = A_i B_i \vee P_{i-1} A_i \vee P_{i-1} B_i, \quad (3)$$

на том же пороговом элементе рассчитывается заём  $Z_i$  из старшего разряда в младший по формуле:

$$Z_i = \bar{A}_i B_i \vee \bar{A}_i Z_{i+1} \vee B_i Z_{i+1}. \quad (4)$$

При выполнении операции сложения перенос  $P_i$  из младшего разряда в старший и заём  $Z_i$  из старшего разряда в младший вычисляются при помощи формул порогового элемента:

$$\begin{cases} P_i/Z_i = (A_i/B_i \oplus CB) + P_{i+1}/Z_{i-1} + A_i + B_i \geq 2 = 1 \\ P_i/Z_i = (A_i/B_i \oplus CB) + P_{i+1}/Z_{i-1} + A_i + B_i < 2 = 0 \end{cases} \quad (5)$$

Таблица 1 - Определения суммы, разности, переноса, заёма двоичных чисел

$P_{i+1}/Z_{i-1}$	$A_i$	$B_i$	$S_i/R_i$	$P_i$	$Z_i$
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	1
1	1	0	0	1	0
1	1	1	1	1	1

### Алгоритм сложения и вычитания двоичных чисел

Алгоритм сумматора-вычитателя, построенный на элементах нейронной логики, изображен на рисунке 5.

Шаги 1-2. Включают следующие операции: двоичные разряды чисел поступают на вход сумматора-вычитателя согласно командам:  $HЭ1 := A_i$ ,  $HЭ1 := B_i$ . Двоичный разряд  $A_i$  подается на первый вход первого нейроподобного элемента, а двоичный разряд числа  $B_i$  - на второй вход того же элемента. Перенос  $HЭ2 := P_{i-1}$  из младшего разряда в старший подается на второй вход второго нейроподобного элемента. Двоичный разряд  $A_i$  подается на первый вход третьего нейроподобного элемента, а на второй вход этого элемента подается признак операции (сложения или вычитания) - сигнал  $CB$  по командам:  $HЭ3 := A_i$ ;  $HЭ3 := CB$ . Двоичный разряд числа  $B_i$  поступает на третий вход четвертого порогового элемента  $ПЭ4 := B_i$ .

Шаг 3. Происходит вычисление суммы  $S_i$  или разности  $R_i$  двоичных чисел по формуле:  $S_i/R_i = P_{i-1} \oplus A_i \oplus B_i$ .

Шаг 4. Включает анализ признака операции (сложения или вычитания) - сигнала СВ. Если сигнал СВ равен нулю, то выполняется операция сложения двоичных чисел. Если сигнал СВ равен единице, то выполняется операция вычитания.

Блок-схема алгоритма сумматора-вычитателя

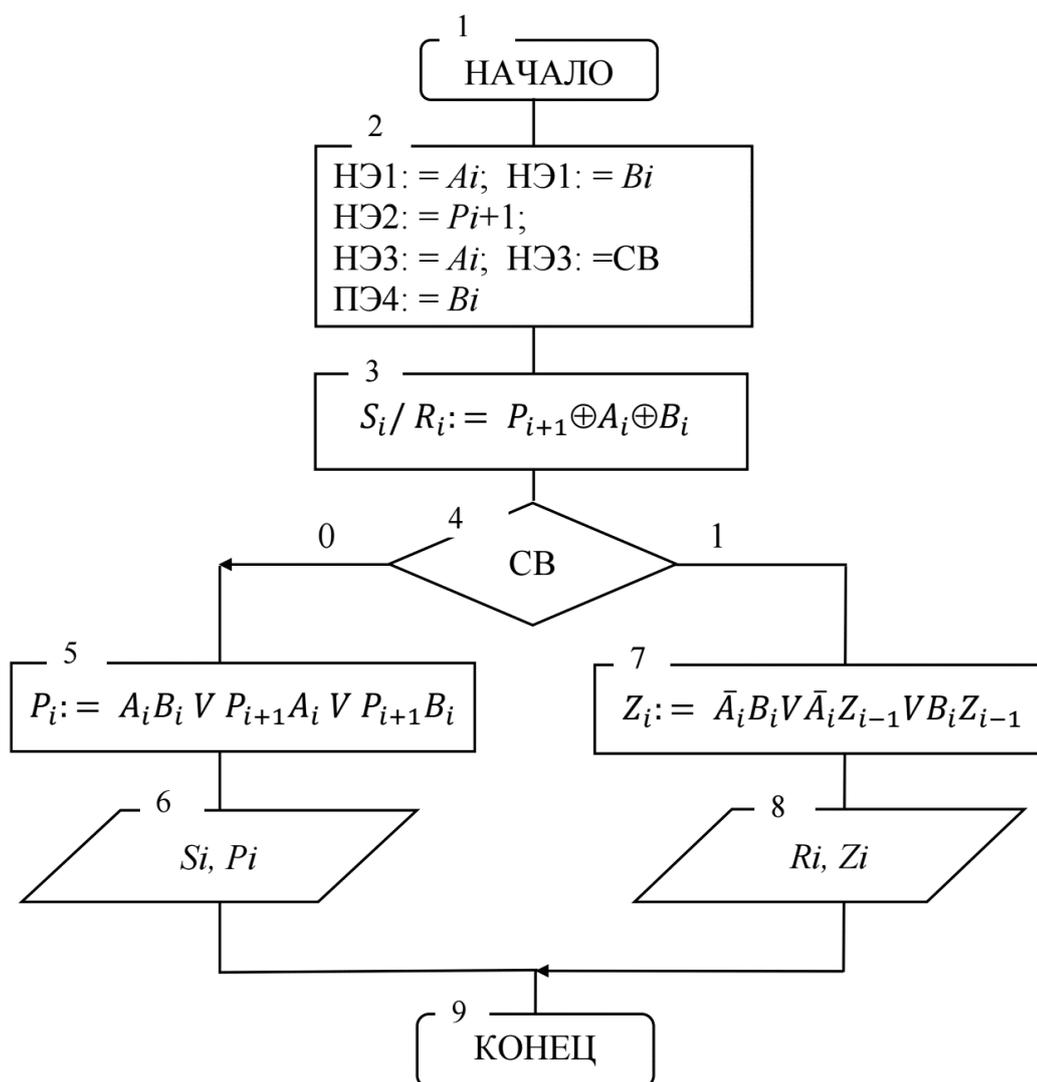


Рисунок 5 - Блок-схема алгоритма сумматора-вычитателя на элементах нейронной логики

Шаги 5-6. Посвящены вычислению переноса в старший разряд чисел по формуле:  $P_i = A_i B_i \vee P_{i-1} A_i \vee P_{i-1} B_i$ .

Результатом является сумма  $S_i$  и перенос  $P_i$  в старший разряд двоичных чисел.

Шаги 7-8. Включают вычисление заёма из старшего разряда чисел по формуле:  $Z_i := \bar{A}_i B_i \vee \bar{A}_i Z_{i+1} \vee B_i Z_{i+1}$ .

Результатом является разность  $R_i$  и заём  $Z_i$  в младший разряд двоичных чисел.

Вычислительный модуль Мод2 осуществляет поиск вхождения в обрабатываемом слове или в указанном тексте как в последовательном, так и в параллельном режимах показан на рисунке 6. Формирование нового слова возможно путем применения операций замены, а также левой или правой конкатенации [9].

Множество микроопераций  $C = \{C_{12}, C, \dots, C_{1t}\}$ , которые выполняются блоком параллельного поиска и замены в словах  $S_2$ , включает в себя операции левой конкатенации  $\beta$  и  $\alpha$ , а также операции правой конкатенации цепочек  $\alpha$  и  $\beta$ .

Необходимо найти все вхождения подстроки  $x = b_1 \dots b_m$  в слове  $w = a_1 \dots a_n$ . Для определения всех смещений  $s$ , при которых подстрока  $w_s = a_{s+1} \dots a_{s+m}$  совпадает с  $b_1 \dots b_m$  вычисляется функция  $F = (a_1 \sim b_1) \& (a_2 \sim b_2) \& \dots \& (a_m \sim b_m)$ . Если значение функции  $F$  равно нулю, то подстрока и фрагмент слова не совпадают, и происходит сдвиг символов слова влево на одну позицию. Процесс сравнения продолжается. В случае, если  $F$  равно единице, вхождение найдено в слове. Смещение  $s$  определяет позицию вхождения в слове, и символы слова сдвигаются на  $m$  позиций влево.

Вычислительный модуль для параллельно-последовательного поиска и замены вхождений в обрабатываемых словах состоит из блоков: памяти вхождений, памяти обрабатываемых слов, памяти замены, параллельно-последовательного поиска,

хранения результатов и управления. Для хранения информации в модуле используются оперативные запоминающие устройства. Информация об вхождениях, обрабатываемых словах и заменах переписывается из памяти в сдвигающие регистры устройства [10, 11].

### Структурная схема модуля поиска вхождений в обрабатываемых словах

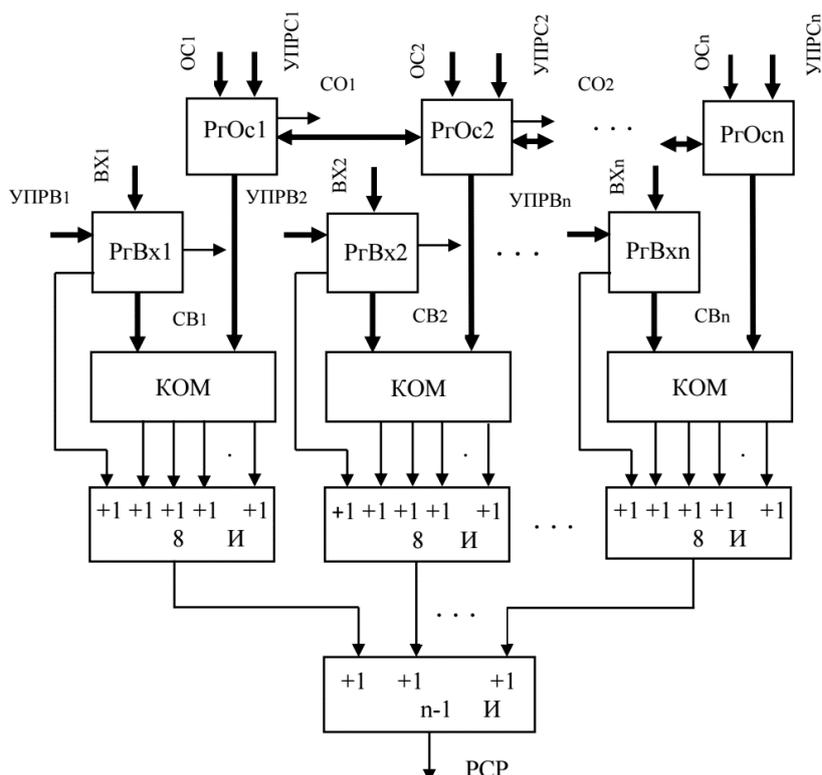


Рисунок 6 - Специализированный вычислительный модуль Мод2

Поиск вхождения в обрабатываемом слове в параллельном режиме осуществляется следующим образом: все символы вхождения сравниваются параллельно с символами обрабатываемого слова. При положительном сравнении компаратор выдает сигнал единицы, указывая на наличие вхождения в обрабатываемом слове. В случае поиска устройство определяет адрес вхождения. В случае режима поиска и замены цепочка символов для замены записывается в регистр замены. При несовпадении необходимо сдвигать обрабатываемое слово на один или

несколько разрядов влево для сравнения следующей серии символов, равной по количеству символов вхождения. Процесс сдвига продолжается до обнаружения конца обрабатываемого слова.

В устройстве выполняются операции левой и правой конкатенации с использованием логических микросхем, обладающих высокоомной логической составляющей. Сравняются символы входных и обрабатываемых слов одинаковой длины, в то время как остальные логические элементы не участвуют в процессе поиска.

Поиск вхождений в слове выполняется последовательно, где каждый символ сравнивается поочередно. Следующий символ сравнивается только после обнаружения предыдущего. Если результат положительный, происходит сдвиг влево на один разряд в обоих регистрах, после чего обрабатываются следующие символы. Возможна ситуация, когда положительное сравнение будет на первой, второй, третьей буквах, но на  $k$ -й букве результат будет отрицательным.

Время выполнения операции определения вхождений в обрабатываемом слове с использованием параллельного и последовательного поиска и замены приведено в таблице 2.

Таблица 2 - Время определения поиска и замены в словах

Число символов в поисковом фрагменте $N$	1	2	3	4	5
Время $T_{\text{пос нс}}$	500	1000	1500	2000	2500
Время $T_{\text{пар нс}}$	500	600	700	800	1000

Сопоставление времени последовательного и параллельного метода символьной обработки информации.

График на рисунке 7 демонстрирует разницу во времени между последовательным и параллельным поиском вхождений в обрабатываемом слове.

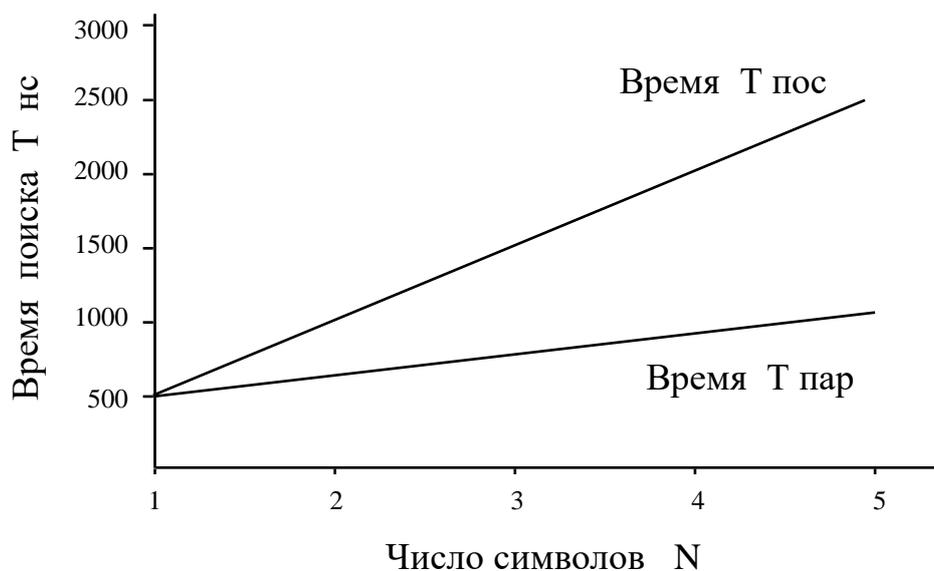


Рисунок 7 - График сравнение времени последовательного и параллельного поиска вхождений

Специализированный вычислительный модуль Мод3 предназначен для выполнения логических и арифметических операций, как показано на рисунке 8.

Для решения данной задачи можно использовать блок выполнения логических операций с последовательной архитектурой, включающий элементарные вычислители, осуществляющие логические операции:  $\{\&, \vee, \bar{\phantom{x}}\}$ ,  $\{\&, \bar{\phantom{x}}\}$ ,  $\{\vee, \bar{\phantom{x}}\}$ ,  $\{\&, \oplus, 1\}$ . Эти операции принадлежат к функционально полной системе булевых функций [14, 0].

Множество микроопераций  $N = \{N_{12}, N, \dots, N_{1s}\}$ , выполняемых блоком логических операций  $S_3$ , включает в себя следующие функции: инверсия  $N_{12} = \bigwedge_{i=1}^n \bar{a}_i$ , конъюнкция  $N_{13} = \bigwedge_{i=1}^n (a_i b_i)$ , дизъюнкция  $N_{14} = \bigvee_{i=1}^n (a_i b_i)$ , исключающее ИЛИ

$N_{15} = \bigoplus_{i=1}^n (a_i b_i)$ ,  $g_i \in \{0, 1\}$ ;  $a_i \in \{0, 1\}$ ;  $b_i \in \{0, 1\}$ , а также эквивалентность  $N_{16} = \bigoplus_{i=1}^n \sim (a_i b_i)$ ,  $g_i \in \{0, 1\}$ ;  $a_i \in \{0, 1\}$ ;  $b_i \in \{0, 1\}$ .

Модуль состоит из блоков: конъюнкции БКОН, дизъюнкции БДИЗ, инверсии первого числа БИН А, инверсии второго числа БИН В, операции суммы по модулю два БСУМ М 2, эквиваленции БЭКВ, а также арифметических операций сложения и вычитания БСУМ-ВЫЧ. Входными сигналами блока являются двоичные разряды первого и второго чисел, которые параллельно поступают на входы регистров блоков.

Блок, предназначенный для выполнения логической операции конъюнкции БКОН, содержит в себе логические схемы И. Входными данными для этого блока являются двоичные разряды первого и второго числа. Логические схемы И выполняют функцию электронных ключей в данном контексте. Двоичные переменные  $a_n$  и  $b_n$  подаются на входы логических элементов И. Управляющим сигналом для этих логических элементов служит сигнал управления выполнением логической операции конъюнкции УпКН, поступающий на управляющие входы электронных ключей. При значении управляющего сигнала равном единице электронные ключи открываются, и входные двоичные переменные  $a_n, b_n$  поступают на входы логических схем И. Результаты выполнения логической операции И определяются на выходе логических элементов. Выходной информационный сигнал РезКОН является результатом выполнения логической операции. При управляющем сигнале, равном нулю, электронные ключи закрываются.

Блок выполнения логической операции дизъюнкции БДИЗ включает в себя логические схемы И и ИЛИ. Входными информационными сигналами для этого блока служат двоичные разряды первого и второго числа. Логические элементы И

выполняют функции электронных ключей, на входы которых подаются двоичные переменные  $a_n$  и  $b_n$ . Управляющим сигналом для элементов является сигнал управления выполнением логической операции дизъюнкции УпДЗ, поступающий на вторые управляющие входы электронных ключей. При значении управляющего сигнала УпДЗ равном единице электронные ключи открываются, и входные двоичные переменные  $a_n, b_n$  поступают на входы логических элементов ИЛИ.

### Структурная схема модуля выполнения логических и арифметических операций

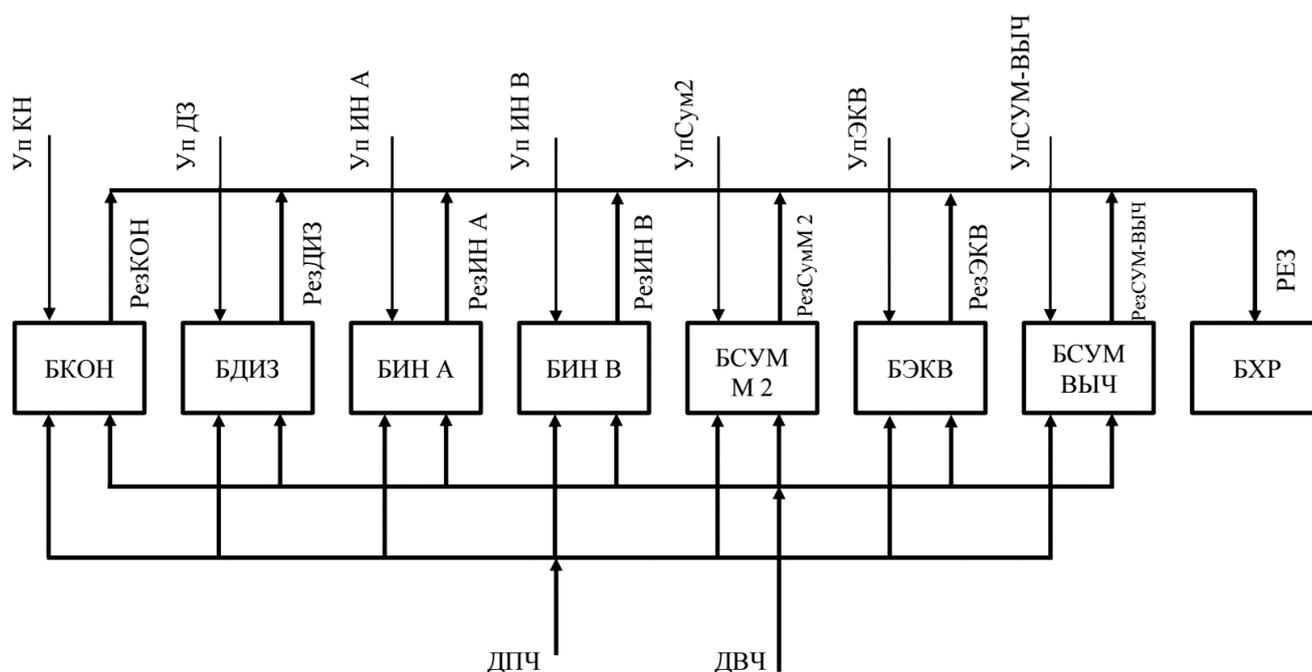


Рисунок 8 - Специализированный вычислительный модуль Мод3

Результаты выполнения логической операции ИЛИ формируются на выходе логических элементов. Выходной информационный сигнал РезДИЗ является результатом выполнения логической операции ИЛИ. При управляющем сигнале УпДЗ, равном нулю, электронные ключи закрываются.

Блок инверсии первого числа БИН А в двоичном коде включает в себя логические элементы И и схемы НЕ. Входной сигнал блока - двоичные разряды первого числа в двоичном коде. Логические элементы И работают как электронные ключи, принимая на вход двоичные переменные  $a_1, \dots, a_n$ . Сигнал УПИИ А управляет состоянием ключей: при значении "1" ключи открываются, и переменные  $a_1, \dots, a_n$  передаются на входы схем НЕ. Результат инверсии входных переменных  $\bar{a}_1, \dots, \bar{a}_n$  формируется на выходе схем НЕ и представляет собой выходной сигнал РезИИ А, определяющий инверсию первого числа в двоичном коде. При значении "0" сигнала УПИИ А ключи закрываются, операция инверсии не выполняется.

Блок инверсии второго числа БИН В в двоичной системе счисления использует логические элементы И и схемы НЕ. Входные сигналы блока представляют собой двоичные разряды второго числа ДВЧ. Логические элементы И работают как электронные ключи, на вход которых поступают двоичные переменные  $b_1, \dots, b_n$ . Управляющим сигналом для элементов И является сигнал УПИИ В, поступающий на вторые управляющие входы элементов И. При значении управляющего сигнала равном единице, электронные ключи открываются, и входные переменные  $b_1, \dots, b_n$  поступают на входы элементов НЕ. Результаты логической операции инверсии  $\bar{b}_1, \dots, \bar{b}_n$  формируются на выходе этих элементов. Выходной сигнал РезИИ представляет собой результат инверсии второго числа. В случае управляющего сигнала, равного нулю, электронные ключи закрываются, и операция инверсии не выполняется.

Блок выполнения логической операции суммы по модулю два БСумМ 2 построен на работе логических элементов. Входные сигналы этого блока представляют собой двоичные разряды первого и второго числа. Логические схемы И выполняют роль электронных ключей, где на первые входы подаются двоичные переменные  $a_n$  и  $b_n$ . Сигнал управления выполнением логической операции суммы по модулю два УпСум 2 поступает на вторые управляющие входы электронных ключей для управления работой элементов. Если сигнал УпСум 2 равен единице, то электронные ключи открываются, и двоичные переменные поступают на входы логических элементов. Результаты выполнения логической операции суммы по модулю два формируются на выходе этих элементов. Выходной сигнал РезСумМ 2 представляет собой результат выполнения этой операции. В случае, если сигнал УпСум 2 равен нулю, то электронные ключи остаются закрытыми, что приводит к тому, что логическая операция не выполняется.

Блок выполнения операции эквиваленции БЭКВ состоит из логических элементов, которые работают как электронные ключи. На входы логических элементов поступают двоичные разряды первого и второго числа. Сигнал управления УпЭКВ определяет состояние электронных ключей: при значении единицы ключи открываются, позволяя двоичным переменным проходить через элементы для получения результата РезЭКВ операции эквиваленции. Выходной сигнал РезЭКВ представляет собой результат выполнения операции эквиваленции. В случае, если управляющий сигнал УпЭКВ равен нулю, ключи закрываются, и операция не выполняется [0, 17].

Блок БСУМ-ВЫЧ включает в себя схему СУМ-ВЫЧ, которая состоит из сумматоров-вычитателей. Он предназначен для выполнения арифметических операций сложения и вычитания, а также определения знака результата. На вход подаются модули двоичных чисел первого и второго числа длиной  $n$  разрядов, сигнал операции сложения-вычитания СУМ-ВЫЧ и сигнал управления работой сумматоров-вычитателей УпСУМ-ВЫЧ, которые поступают одновременно на все входы. Если сигнал операции СУМ-ВЫЧ равен нулю, то выполняется сложение двоичных чисел, а если он равен единице, то выполняется операция вычитания. Двоичные разряды чисел  $a_i$  и  $b_i$ , сигнал управления УпСУМ-ВЫЧ, сигнал операции СУМ-ВЫЧ, перенос  $P_i$  из младших разрядов в старшие и заём  $Z_i$  из старших разрядов в младшие поступают на входы сумматоров-вычитателей СУМ-ВЫЧ $_i$ . Для определения знака результата на схему поступают знаковые разряды первого и второго двоичных чисел, сигнал сложения-вычитания СУМ-ВЫЧ. Сигнал заём из знакового разряда поступает на вход первого сумматора-вычитателя СУМ-ВЫЧ $_1$ , который суммирует старшие разряды входных чисел. Этот сигнал определяется при вычитании чисел. Если сигнал заём равен нулю, то первое число по модулю больше второго. В случае сигнала заёма равного единице происходит вычитание меньшего числа из большего, в таком случае для получения разности необходимо поменять местами входные числа. Выходной сигнал блока РезСУМ-ВЫЧ является результатом операции [18].

При условии, что сигнал суммирования-вычитания СУМ-ВЫЧ равен нулю, выполняется операция сложения двоичных чисел. Знаковый разряд результата  $Z_{nPE3}$  совпадает со знаковым разрядом первого числа  $Z_{nPA}$ . В случае если сигнал суммирования-вычитания СУМ-ВЫЧ равен единице, то выполняется вычитание

двоичных чисел, где из большего числа по модулю вычитается меньшее. Решающим фактором при сравнении модулей чисел является сигнал заёма из знакового разряда первого числа  $Z_{M3nP}$ . Знак разности равен знаку большего числа. При сигнале заёма  $Z_{M3nP}$ , равном нулю, первое число по модулю больше второго, и в таком случае вычисляется разность между первым и вторым двоичными кодами. Если сигнал заёма равен единице, то первое число по модулю меньше второго, и тогда вычисляется разность между вторым и первым двоичными числами. Знаковый разряд результата  $Z_{nPPe3}$  совпадает с знаковым битом большего из двух чисел  $Z_{nPB}$  [19, 20].

На рисунке 9 изображена блок-схема алгоритма модуля по выполнению арифметических и логических операций.

Рассмотрим этот алгоритм более детально.

Шаг 1. На вход подаются два десятичных числа  $A_{10}$  и  $B_{10}$  со своими знаками, которые затем конвертируются в двоичную систему.

Шаг 2. Информационные сигналы подаются на входы регистров первого и второго чисел по командам:  $BR_{гПч}:=СУ$  и  $BR_{гВч}:=УП$  для выполнения операций обнуления, синхронизации, записи и выдачи. Двоичные коды для записи и хранения поступают на входы регистров по командам:  $BR_{гПч}:=ДКЧ$  и  $BR_{гВч}:=ДКЧ$ . Сигналы поступают на вход блока выполнения арифметических и логических операций по команде:  $BВЛАО:=УПР$ .

Шаг 3. Двоичные коды для выполнения операций поступают на входы блока выполнения арифметических и логических операций по командам:  $BВЛАО:=ДПЧ$  и  $BВЛАО:=ДВЧ$ .

Шаги 4-6. Выполняется анализ признака выполнения логической операции конъюнкции КОН. Управляющий сигнал для разрешения выполнения логической операции И подается на управляющие входы электронных ключей по команде БКОН:=УпКН. Двоичные коды чисел подаются на вход блока выполнения логической операции конъюнкции по командам: БКОН:=ДПЧ и БКОН:=ДВЧ. Данные для записи и хранения поступают на вход блока хранения результата по команде РЕЗ:=РезКОН.

Шаги 7-9: Осуществляется анализ выполнения операции дизъюнкции ДИЗ. При получении команды БДИЗ:=УпДЗ, на входы управления электронных ключей подается сигнал для выполнения логической операции ИЛИ. По командам БДИЗ:=ДПЧ и БДИЗ:=ДВЧ на вход блока выполнения операции дизъюнкции подаются двоичные коды чисел. По команде РЕЗ:=РезДИЗ на вход блока хранения результата передаются данные для записи и дальнейшего хранения.

Шаги 10-12: Проводится анализ выполнения операции инверсии первого числа ИН А. При выполнении команды БИН А:=УпИН А, на входы управления электронных ключей подается сигнал для выполнения операции инверсии. По команде БИН А:=ДПЧ на вход блока выполнения операции инверсии первого числа подаются двоичные разряды. По команде РЕЗ:=РезИН А на вход блока хранения результата поступают данные для записи и последующего хранения.

Шаги 13-15. Происходит анализ выполнения операции инверсии второго числа ИН В. При выполнении команды БИН В:=УпИН В на управляющие входы электронных ключей подается сигнал для выполнения операции инверсии.

## Блок-схема алгоритма модуля

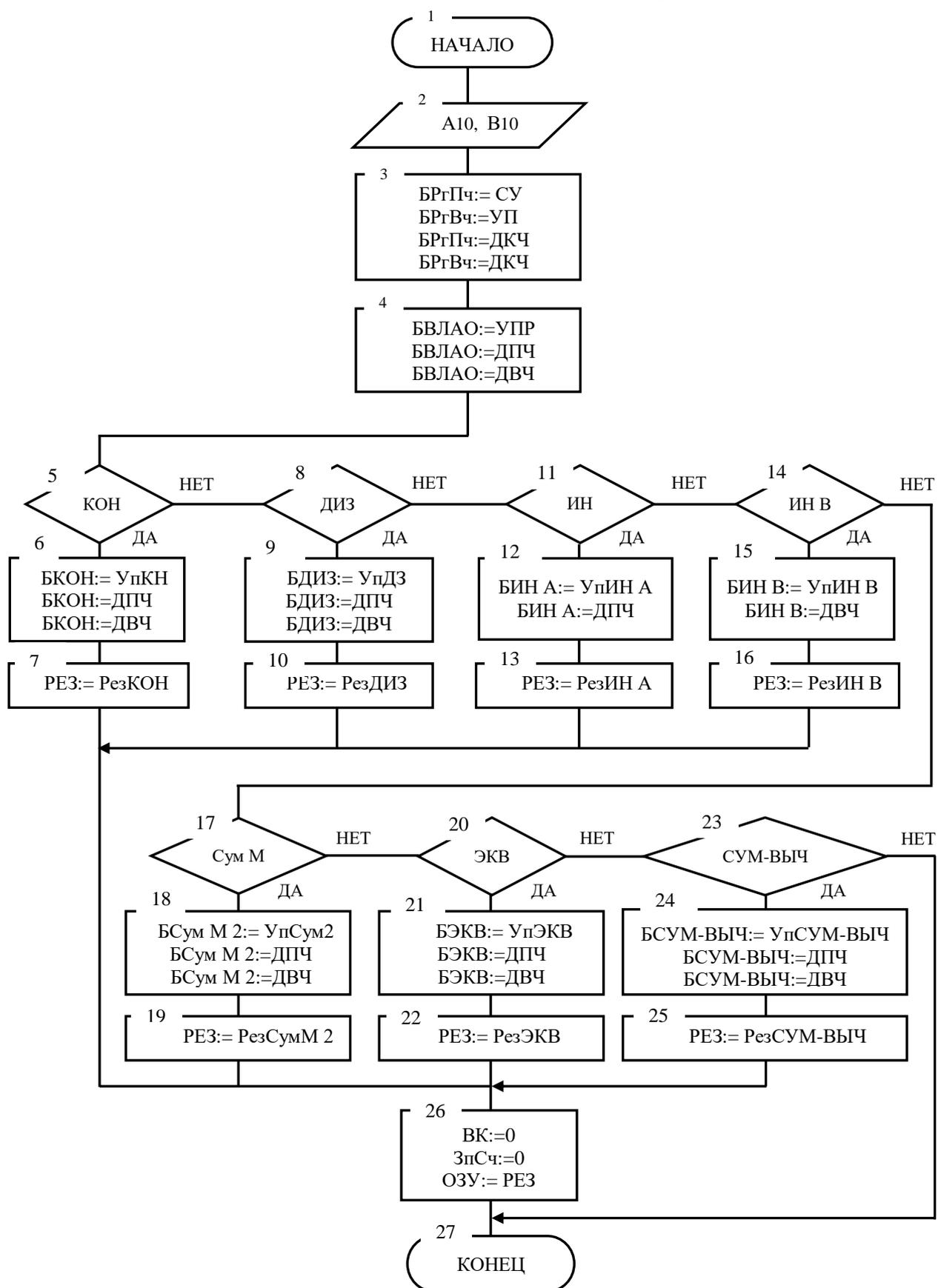


Рисунок 9 - Блок-схема алгоритма модуля выполнения логических и арифметических операций

При получении команды БИН В:=ДВЧ двоичные разряды подаются на вход блока выполнения операции инверсии второго числа. При выполнении команды РЕЗ:=РезИН В данные для записи и хранения результата поступают на вход блока хранения.

Шаги 16-18. Осуществляется анализ выполнения операции суммы по модулю два Сум М 2. При выполнении команды БСум М 2:=УпСум2 на управляющие входы электронных ключей подается сигнал для выполнения операции суммы по модулю два. По командам БСум М 2:=ДПЧ, БСум М 2:=ДВЧ на входы блока выполнения операции суммы по модулю два подаются двоичные коды чисел.

При получении команды РЕЗ:= РезСумМ 2 результат операции суммы по модулю два поступает на вход блока хранения для записи и хранения.

Шаги 19-21. Осуществляется анализ выполнения логической операции эквиваленции ЭКВ. При выполнении команды БЭКВ:=УпЭКВ, на входы управления электронных ключей блока логической операции эквиваленции поступает сигнал для разрешения выполнения данной операции. По командам БЭКВ:=ДПЧ и БЭКВ:=ДВЧ, на входы блока логической операции эквиваленции подаются двоичные коды первого и второго чисел соответственно. При выполнении команды РЕЗ:=РезЭКВ, результат выполнения логической операции эквиваленции поступает на входы блока хранения результата для записи и последующего хранения.

Шаги 22-24. Происходит анализ выполнения арифметических операций суммирования или вычитания СУМ-ВЫЧ. При получении команды БСУМ-ВЫЧ:=УпСУМ-ВЫЧ, на входы электронных ключей блока суммирования и

вычитания поступает управляющий сигнал для разрешения выполнения соответствующей арифметической операции.

Таблица 3 - Результаты арифметических операций

Число А в 10 <sup>ой</sup> с/с	Число В в 10 <sup>ой</sup> с/с	Число А в 2 <sup>ой</sup> с/с	Число В в 2 <sup>ой</sup> с/с	Код операции	Результат в 2 <sup>ой</sup> с/с	Результат в 10 <sup>ой</sup> с/с
-22	68	0.0010110	0.1000100	суммирование	0.0101110	46
65	32	0.1000001	0.0100000	вычитание	0.0100001	33
-43	-29	1.0101011	1.0011101	суммирование	1.1001000	-72
77	-49	0.1001101	1.0110001	вычитание	0.1111110	126
-36	-47	1.0100100	1.0101111	вычитание	0.0001011	11
48	-64	0.0110000	1.1000000	суммирование	1.0010000	-16
-56	28	1.0111000	0.0011100	вычитание	1.1010100	-84
68	-29	0.1000100	1.0011101	суммирование	0.0100111	39
89	107	0.1011001	0.1101011	вычитание	1.0010010	-18
40	-10	0.0101000	1.0001010	суммирование	0.0011110	30
-22	-31	1.0010110	1.0011111	вычитание	0.0001001	9
-34	-19	1.0100010	1.0010011	суммирование	1.0110101	-53
98	-14	0.1100010	1.0001110	вычитание	0.1110000	112
25	-75	0.0011001	1.1001011	суммирование	1.0110010	-50
-42	-57	1.0101010	1.0111001	вычитание	0.0001111	15
60	-92	0.0111100	1.1011100	суммирование	1.0100000	-32
-108	37	1.1101100	0.0100101	суммирование	1.1000111	-71
38	18	0.0100110	0.0010010	вычитание	0.0010100	20
-100	49	1.1100100	0.0110001	суммирование	1.0110011	-51
-77	-55	1.1001101	1.0110111	вычитание	1.0010110	-22
82	-31	0.1010010	1.0011111	суммирование	0.0110011	51
-35	90	1.0100011	0.1011010	вычитание	1.1111101	-125
19	-73	0.0010011	1.1001001	суммирование	1.0110110	-54
-62	43	1.0111110	0.0101011	суммирование	1.0010011	-19
39	-80	0.0100111	1.0101000	вычитание	0.1110111	119
-11	110	1.0001011	0.1101110	суммирование	0.1100011	99
100	-20	0.1100100	1.0010100	вычитание	0.1111000	120

При получении команд БСУМ-ВЫЧ:=ДПЧ и БСУМ-ВЫЧ:=ДВЧ, на входы блока выполнения арифметических операций суммирования и вычитания подаются двоичные коды чисел. При получении команды РЕЗ:=РезСУМ-ВЫЧ, данные для записи и хранения результата поступают на входы блока хранения результатов.

Шаг 25. С помощью команд ВК:=0 и ЗпСч:=0, на управляющие входы оперативного запоминающего устройства блока хранения результатов подаются нулевые значения для записи результатов в память устройства. При получении команды ОЗУ:=РЕЗ на информационные входы оперативного запоминающего устройства поступают результаты выполнения логических и арифметических операций для записи и последующего хранения.

Параллельный сумматор комбинационного типа построен на основе каскадного соединения  $n$  одноразрядных сумматоров-вычитателей [21, 22].

В таблице 4 приведены результаты сопоставлений разработанного сумматора-вычитателя с аналогами по быстродействию выполнения операций, где  $dt$  — время задержки в одном типовом логическом элементе.

Таблица 4

Цифровые устройства	Время сложения двух $m$ -разрядных двоичных чисел				
	4	8	16	32	64
Параллельный сумматор-вычитатель на элементах нейронной логики, $dt$	17	37	77	157	317
Полный двоичный сумматор, $dt$	11	23	47	95	191
Сумматор Когга –Стоуна, $dt$	8	18	34	66	130

Сумматор Когга –Стоуна обладает наибольшим быстродействием выполнения арифметических операций [23].

### 3. Заключение

Архитектура реконфигурируемых вычислительных систем позволяет динамически изменяться в процессе работы. Это дает возможность адаптировать архитектуру под конкретную задачу, создавая специализированные вычислительные системы, соответствующие структуре задачи. Вместо универсальных микропроцессоров в таких системах используются программируемые логические интегральные схемы, объединенные высокоскоростными интерфейсами. Реконфигурируемые мультиконвейерные вычислительные системы на основе полей представляют собой эффективное решение для потоковых задач обработки информации и управления. Они могут создавать виртуальные специализированные мультиконвейерные вычислительные модули, соответствующие структуре задачи, что обеспечивает высокую эффективность вычислений. Эти системы имеют преимущество по технико-экономическим характеристикам перед системами с традиционной архитектурой. Реконфигурируемые вычислительные системы на базе программируемых логических интегральных схем предназначены для решения сложных задач, включая крупномасштабные задачи, выполнение которых на многопроцессорных системах с традиционной архитектурой либо требует слишком много времени, либо вообще невозможно.

#### Список источников

1. Хорошевский В.Г. Архитектура вычислительных систем. – М.: Издательство МГТУ им. Н. Э. Баумана, 2008. – 520 с.

2. Гузик В.Ф., Каляев И.А., Левин И.И. Реконфигурируемые вычислительные системы. – Таганрог: Южный федеральный университет, 2016. – 472 с.
3. Шевелев С.С. Вычислительная открытая развиваемая асинхронная модульная система ВОРАМС. Патент 2453910 РФ, 20.06.2012, бюл. № 17, 81 с.
4. Шевелев С.С. Устройство поразрядного вычисления логических и арифметических операций. Патент 2739343 РФ, 23.12.2020, Бюл. № 36.
5. Шевелев С.С. Реконфигурируемая вычислительная модульная система // Известия Юго–Западного государственного университета. 2019. № 2. С. 138–152.
6. Мохаммед О.Т., Пазников А.А. Оптимизация выполнения целочисленных арифметических операций на основе нейронных сетей // Известия СПбГЭТУ «ЛЭТИ». 2022. Т. 15. № 1. С. 22-29. DOI: [10.32603/2071-8985-2022-15-1-22-29](https://doi.org/10.32603/2071-8985-2022-15-1-22-29)
7. Шевченко В.П. Вычислительные системы, сети и телекоммуникации. - М.: КноРус, 2022. - 288 с.
8. Старков В.В. Архитектура персонального компьютера. Организация, устройство, работа. - М.: Горячая линия - Телеком, 2022. - 538 с.
9. Федотова Е.Л. Информационные технологии и системы. – М.: ИД «Форум» – ИНФРА-М, 2023. – 352 с.
10. Смоллов В.Б. Микропроцессоры и микропроцессорные системы. - М.: Радио и связь, 2022. - 328 с.
11. Лобашевская В.А. Разработка четырехразрядного арифметико-логического устройства с восьмеричной коррекцией // Молодой ученый. 2022. № 4 (399). С. 34-39.
12. Никитюк Н.М. Микропроцессоры и микро-ЭВМ. Применение в приборостроении и в научных исследованиях. - М.: Энергоиздат, 2022. - 168 с.

13. Shevelev S.S. Parallel-sequential adder-subtractor with the highest digits forward on neurons // Neurocomputers, 2021, vol. 23, no. 3, pp. 5-14. DOI: [10.18127/j19998554-202103-01](https://doi.org/10.18127/j19998554-202103-01)
14. Shevelev S.S. Device for Calculating Logical and Arithmetic Operations // Programmnaia Ingeneria, 2021, vol. 12, no. 7, pp. 350-357. DOI: [10.17587/prin.12.350-357](https://doi.org/10.17587/prin.12.350-357)
15. Lopin V.N. Kobelev N.S., Avdyakov D.V., Rozhdestvenskaya T.S., Kobelev V.N., Shevelev S.S. The system of Automated Monitoring Information Protection for Testing Electronic Devices in a Climatic Cell // Telecommunications and Radio Engineering, 2012, vol. 71, pp. 539–545.
16. Брехов О.М., Ратников М.О. Сравнительный анализ тестовых систем ПЛИС и их окружения // Труды МАИ. 2022. № 125. URL: <https://trudymai.ru/published.php?ID=168194>. DOI: [10.34759/trd-2022-125-22](https://doi.org/10.34759/trd-2022-125-22)
17. Табаков Е.В., Зинина А.И., Красавин Е.Э. Автоматизация анализа отработки циклограмм бортовых вычислителей космических аппаратов // Труды МАИ. 2020. № 111. URL: <http://trudymai.ru/published.php?ID=115153>. DOI: [10.34759/trd-2020-111-12](https://doi.org/10.34759/trd-2020-111-12)
18. Уоссермен Ф. Нейрокомпьютерная техника. Теория и практика. – М.: Мир, 2006. – 184 с.
19. Архангельский А.А. Нейрокомпьютерные системы. - СПб.: СПбГУТ, 2007. - 243 с.
20. Неструев Д.С., Борзов Д.Б. Модель реорганизации элементов беспроводного вычислительного кластера с орбитальным расположением элементов // Труды МАИ.

2023. № 128. URL: <https://trudymai.ru/published.php?ID=171407>. DOI: [10.34759/trd-2023-128-19](https://doi.org/10.34759/trd-2023-128-19)

21. Каляев И.А., Левин И.И., Семерников Е.А. Реконфигурируемые мультиконвейерные вычислительные структуры. – Ростов на Дону: Изд-во ЮНЦ РАН, 2008. – 320 с.

22. Борзов Д.Б., Чернышев А.А., Сизов А.С., Соколова Ю.В. Методика и алгоритм построения вычислительной сети на основе беспроводного протокола // Труды МАИ.

2021. № 121. URL: <https://trudymai.ru/published.php?ID=162667>. DOI: [10.34759/trd-2021-121-20](https://doi.org/10.34759/trd-2021-121-20)

23. Масюков И.И. Метод и устройство расположения задач в реконфигурируемых вычислительных системах // Труды МАИ. 2021. № 120. URL: <https://trudymai.ru/published.php?ID=161427>. DOI: [10.34759/trd-2021-120-13](https://doi.org/10.34759/trd-2021-120-13)

## References

1. Khoroshevskii V.G. *Arkhitektura vychislitel'nykh sistem* (Architecture of computing systems), Moscow, Izdatel'stvo MGTU im. N.E. Baumana, 2008, 520 p.
2. Guzik V.F., Kalyaev I.A., Levin I.I. *Rekonfiguriruemye vychislitel'nye sistemy* (Reconfigurable computing systems), Taganrog, Yuzhnyi federal'nyi universitet, 2016, 472 p.
3. Shevelev S.S. *Patent 2453910 RF*, 20.06.2012.
4. Shevelev S.S. *Patent 2739343 RF*, 23.12.2020.

5. Shevelev S.S. *Izvestiya Yugo–Zapadnogo gosudarstvennogo universiteta*, 2019, no. 2, pp. 138–152.
6. Mokhammed O.T., Paznikov A.A. *Izvestiya SPbGETU «LETI»*, 2022, vol. 15, no. 1, pp. 22-29. DOI: [10.32603/2071-8985-2022-15-1-22-29](https://doi.org/10.32603/2071-8985-2022-15-1-22-29)
7. Shevchenko V.P. *Vychislitel'nye sistemy, seti i telekommunikatsii* (Computing systems, networks and telecommunications), Moscow, KnoRus, 2022, 288 p.
8. Starkov V.V. *Arkhitektura personal'nogo komp'yutera. Organizatsiya, ustroistvo, rabota* (Architecture of a personal computer. Organization, device, work), Moscow, Goryachaya liniya - Telekom, 2022, 538 p.
9. Fedotova E.L. *Informatsionnye tekhnologii i sistemy* (Information technologies and systems), Moscow, ID «Forum» – INFRA-M, 2023, 352 p.
10. Smolov V.B. *Mikroprotsessory i mikroprotsessornye sistemy* (Microprocessors and microprocessor systems), Moscow, Radio i svyaz', 2022, 328 p.
11. Lobashevskaya V.A. *Molodoi uchenyi*, 2022, no. 4 (399), pp. 34-39.
12. Nikityuk N.M. *Mikroprotsessory i mikro-EVM. Primenenie v priborostroenii i v nauchnykh issledovaniyakh* (Microprocessors and microcomputers. Application in instrumentation and scientific research), Moscow, Energoizdat, 2022, 168 p.
13. Shevelev S.S. Parallel-sequential adder-subtractor with the highest digits forward on neurons, *Neurocomputers*, 2021, vol. 23, no. 3, pp. 5-14. DOI: [10.18127/j19998554-202103-01](https://doi.org/10.18127/j19998554-202103-01)
14. Shevelev S.S. Device for Calculating Logical and Arithmetic Operations, *Programmnyaya Ingeneria*, 2021, vol. 12, no. 7, pp. 350-357. DOI: [10.17587/prin.12.350-357](https://doi.org/10.17587/prin.12.350-357)

15. Lopin V.N. Kobelev N.S., Avdyakov D.V., Rozhdestvenskaya T.S., Kobelev V.N., Shevelev S.S. The system of Automated Monitoring Information Protection for Testing Electronic Devices in a Climatic Cell, *Telecommunications and Radio Engineering*, 2012, vol. 71, pp. 539–545.
16. Brekhov O.M., Ratnikov M.O. *Trudy MAI*, 2022, no. 125. URL: <https://trudymai.ru/eng/published.php?ID=168194>. DOI: [10.34759/trd-2022-125-22](https://doi.org/10.34759/trd-2022-125-22)
17. Tabakov E.V., Zinina A.I., Krasavin E.E. *Trudy MAI*, 2020, no. 111. URL: <http://trudymai.eng/ru/published.php?ID=115153>. DOI: [10.34759/trd-2020-111-12](https://doi.org/10.34759/trd-2020-111-12)
18. Uossermen F. *Neirokomp'yuternaya tekhnika. Teoriya i praktika* (Neurocomputer technology. Theory and practice), Moscow, Mir, 2006, 184 p.
19. Arkhangel'skii A.A. *Neirokomp'yuternye sistemy* (Neurocomputer systems), Saint Petersburg, SPbGUT, 2007, 243 p.
20. Nestruev D.S., Borzov D.B. *Trudy MAI*, 2023, no. 128. URL: <https://trudymai.ru/eng/published.php?ID=171407>. DOI: [10.34759/trd-2023-128-19](https://doi.org/10.34759/trd-2023-128-19)
21. Kalyaev I.A., Levin I.I., Semernikov E.A. *Rekonfiguriruemye mul'tikonveiernye vychislitel'nye struktury* (Reconfigurable multiconveyor computing structures), Rostov na Donu, Izd-vo YuNTs RAN, 2008, 320 p.
22. Borzov D.B., Chernyshev A.A., Sizov A.S., Sokolova Yu.V. *Trudy MAI*, 2021, no. 121. URL: <https://trudymai.ru/eng/published.php?ID=162667>. DOI: [10.34759/trd-2021-121-20](https://doi.org/10.34759/trd-2021-121-20)
23. Masyukov I.I. *Trudy MAI*, 2021, no. 120. URL: <https://trudymai.ru/eng/published.php?ID=161427>. DOI: [10.34759/trd-2021-120-13](https://doi.org/10.34759/trd-2021-120-13)

Статья поступила в редакцию 07.07.2024

Одобрена после рецензирования 22.07.2024

Принята к публикации 25.10.2024

The article was submitted on 07.07.2024; approved after reviewing on 22.07.2024; accepted for publication on 25.10.2024